

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.



10846 U.S. PTO

09/751182



Handwritten signature/initials



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

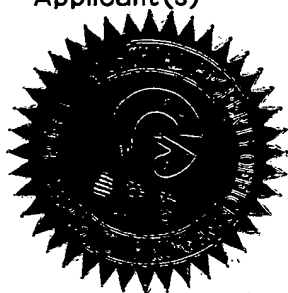
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 1999년 제 65072 호
Application Number

출원 년 월 일 : 1999년 12월 29일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

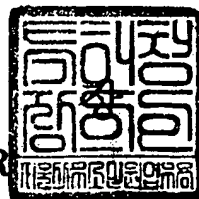
**CERTIFIED COPY OF
PRIORITY DOCUMENT**



2000 년 02 월 07 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	1999.12.29
【국제특허분류】	G02B
【발명의 명칭】	전송 에러를 보상하는 광 전송 시스템
【발명의 영문명칭】	Optical transfer system for compensating transfer loss
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	1999-009616-8
【발명자】	
【성명의 국문표기】	김용섭
【성명의 영문표기】	KIM,Yong Sub
【주민등록번호】	651205-1009015
【우편번호】	138-171
【주소】	서울특별시 송파구 송파1동 12-12 대동빌라 401호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

곽덕영 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 44 면 44,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 24 항 877,000 원

【합계】 950,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

전송 에러를 보상하는 광 전송 시스템이 공개된다. 본 발명에 따른 광 전송 시스템은 다수개의 n 비트 채널 데이터들을 소정의 클럭신호에 응답하여 각각 직렬 변환한 후, 소정의 클럭신호와 함께 전류 신호로 각각 변환하고, 변환된 각 전류 신호들을 에러 검출 신호에 상응하여 가변하고, 가변된 전류 신호들 각각에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 송신 장치, 광 신호들을 전송하는 제1광 전송로, 제1광 전송로에서 수신되는 광 신호들로부터 n 비트 채널 데이터 및 소정의 클럭신호를 복원하고, 각 광 신호들이 전송 및 수신되면서 발생하는 전송 에러를 검출하여 광 변환하고, 광 변환된 신호를 에러 검출 신호로서 출력하는 수신 장치 및 광 변환된 에러 검출 신호를 송신 장치로 전송하는 제2광 전송로를 구비하며, 수신 장치와 송신 장치가 페루프를 이루어, 수신 장치에서 전송하는 전송 에러에 상응하여 항상 일정한 광 효율을 유지할 수 있다. 또한, 병/직렬 데이터 변환기의 구성을 게이트로 구현하므로, 기가 Hz급 이상의 고속 데이터 변환이 가능하고, 회로의 크기를 줄일 수 있다. 또한, 기가 Hz급 이상의 고속 데이터 변환을 수행하면서도, 주파수는 상대적으로 낮은 논 오버래핑 클럭신호들을 이용하므로 전력 소비를 줄일 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

전송 에러를 보상하는 광 전송 시스템{Optical transfer system for compensating transfer loss}

【도면의 간단한 설명】

도 1은 종래의 단일 채널 광 신호 전송 시스템을 나타내는 개략적인 블록도이다.

도 2는 본 발명의 일실시예에 따른 전송 에러를 보상하는 광 전송 시스템을 나타내는 개략적인 블록도이다.

도 3은 도 2에 도시된 PLL(140)을 나타내는 블록도이다.

도 4는 도 3에 도시된 VCO(146)를 나타내는 회로도이다.

도 5는 도 4에 도시된 VCO로부터 출력되는 제1 내지 제9 논 오버랩핑 클럭 신호들과, 제1동기된 클럭신호의 파형도를 각각 나타낸다.

도 6은 도 2에 도시된 병/직렬 데이터 변환부(110)를 나타내는 블록도이다.

도 7(a) 및 (b)는 도 6에 도시된 장치의 동작을 나타내는 파형도들로서,

도 8은 도 6에 도시된 데이터 래치부(700)를 나타내는 회로도이다.

도 9(a)~(h)는 도 8에 도시된 데이터 래치부의 동작을 나타내는 주요 파형도들이다.

도 10은 도 6에 도시된 데이터 직렬화기(750)를 나타내는 회로도이다.

도 11은 도 2에 도시된 에러 보상 광학 드라이버(160)를 나타내는 블록도이다.

도 12는 도 11에 도시된 전송 에러 보상부(164)를 나타내는 블록도이다.

도 13은 도 2에 도시된 에러 검출 광학 수신기(210)를 나타내는 블록도이다.

도 14는 도 13에 도시된 전송 에러 검출부(222)의 일실시예를 나타내는 블록도이다.

도 15는 도 13에 도시된 전송 에러 검출부(222)의 다른 실시예를 나타내는 블록도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 광 전송 시스템에 관한 것으로서, 특히, 전송 에러를 보상하는 광 전송 시스템과 상기 전송 에러를 보상하는 광 전송 시스템을 위한 광 신호 송/수신 장치 및 상기 송신 장치에서 고속의 데이터 전송을 위한 병/직렬 데이터 변환기에 관한 것이다.

<17> 현재의 광 전송 시스템은 광 신호 송신 장치, 광 전송로 및 광 신호 수신 장치로 구성된다. 송신 장치는 전송하고자 하는 전기적 신호를 레이저 다이오드(laser diode)를 이용하여 광 신호로 변환한다. 광 전송로는 송신 장치에서 변환된 광 신호를 수신 장치로 전송한다. 또한, 수신 장치는 광 전송로를 통해 전송되는 광 신호를 포토(photo) 다이오드를 통해 수신하고, 수신된 신호를 전기적 신호로 변환한다.

<18> 한편, 송신 장치는 레이저 다이오드를 이용하여 광 신호를 출력하기 위해, 구동 전류를 레이저 다이오드로 공급한다. 즉, 송신 장치는 구동 전류를 조절하여 레이저 다이오드의 광 출력 세기(power)를 조정한다. 이 때, 종래의 송신 장치에서는 외부의 저항값 조절에 의해 구동 전류의 전류량을 조절할 수 있다.

- <19> 도 1은 종래의 단일 채널 광 신호 전송 시스템을 나타내는 개략적인 블록도이다. 도 1을 참조하면, 송신 장치(10)는 광학 드라이버(12), 바이어스 및 변조 전류 제어부(14), 바이어스 저항(R_{bias}), 변조 저항(R_{mod}) 및 레이저 다이오드(16)를 포함하여 구성된다. 또한, 수신 장치(20)는 광학 수신기(46) 및 포토 다이오드(24)를 포함하여 구성된다. 여기서, 바이어스 저항(R_{bias})과 변조 저항(R_{mod})은 외부에 구성될 수 있다.
- <20> 도 1에서, 송신 장치(10)의 광학 드라이버(12)는 외부로부터 수신되는 데이터(DIN)를 전류 신호로 변환한다. 또한, 광학 드라이버(12)는 바이어스 및 변조 전류 제어부(14)에서 공급되는 바이어스 전류(I_{bias}) 및 변조 전류(I_{mod})에 응답하여, 상기 변환된 전류 신호를 가변시킨다. 이 때, 바이어스 전류(I_{bias}) 및 변조 전류(I_{mod})는 바이어스 저항(R_{bias})과 변조 저항(R_{mod})을 가변하여 조정될 수 있다. 또한, 광학 드라이버(12)는 상기 가변된 전류 신호를 레이저 다이오드(16)를 구동하기 위한 구동 전류로서 발생한다. 레이저 다이오드(16)는 구동 전류에 상응하는 광 출력 세기를 갖는 광 신호를 발생한다. 레이저 다이오드(16)에서 발생되는 광 신호는 광 전송로(18)를 통해 수신 장치(20)로 전송된다. 수신 장치(20)의 포토 다이오드(24)는 광 전송로(18)로부터 전송되는 광 신호를 수신하여 전류 신호로 변환한다. 광학 수신기(26)는 포토 다이오드(24)에 의해 변환된 전류 신호로부터 원래의 데이터를 복원한다. 도 1에서 DOUT은 복원된 데이터를 나타낸다.
- <21> 결국, 도 1에 도시된 종래의 광 전송 시스템은 바이어스 저항(R_{bias})과 변조 저항(R_{mod})을 가변하여 바이어스 전류(I_{bias}) 및 변조 전류(I_{mod})를 조절함으로써, 광학 드라이버(12)에서 출력되는 구동 전류(I_d)의 전류량을 조절한다. 즉, 레이저 다이오드(16)의 광 출력 세기는 외부의 바이어스 저항(R_{bias})과 변조 저항(R_{mod})을 가변하여 조절된

다.

- <22> 이처럼, 도 1에 도시된 종래의 광 전송 시스템은 레이저 다이오드(16)의 광 출력 세기가 송신단에서만 조정할 수 있는 개방 루프(open loop) 시스템이다.
- <23> 예컨대, 광 전송로 또는 수신 장치에 의해 광 신호가 전송 및 수신되면서 전송 손실이 발생할 경우, 수신 장치의 광학 수신기에서 복원되는 데이터에 오류가 발생할 수 있다. 따라서, 송신 장치에서는 이와 같은 전송 손실을 고려하여, 광 전송 시스템이 소정의 전송 효율로 유지될 수 있도록, 적절한 광 출력 세기를 갖는 광 신호를 전송한다. 이러한 전송효율은 광 전송 시스템에 이용되는 소자들 예컨대, 송신용 광 다이오드, 광 전송로 및 수신용 광 다이오드에 따라 변화될 수 있다. 즉, 광 전송로의 길이가 변화함에 따라 광 전송 시스템의 전송 효율이 변화될 수 있다. 또한, 광 전송로로 이용되는 소자의 균질성(uniformity)이 일치하지 않아 광 전송 시스템의 전송 효율이 변화될 수 있다. 이러한 전송 효율의 변화로 인해, 전송 손실이 고려되었던 것과 달라질 수 있으며, 결국 수신 장치의 광학 수신기에서 복원되는 데이터에 오류가 발생할 수 있다.
- <24> 또한, 그래픽 데이터 전송과 같이 멀티 데이터를 전송하는 다 채널 광 전송 시스템의 경우, 레이저 다이오드, 광 전송로 및 포토 다이오드의 균질성이 각 채널별로 다를 수 있다. 따라서, 다 채널 광 전송 시스템의 경우에는 각 채널별로 전송 효율이 달라져 데이터 전송에 에러가 발생될 수 있다.
- <25> 결국, 종래와 같이 개방 루프의 광 전송 시스템은 송신 장치의 특성에 따라서 광 출력 세기가 조절될 뿐, 광 전송로 및 수신 장치의 특성에 의해 전송 효율이 변화되는 것이 고려되지 않는다. 즉, 광 전송로 및 수신 장치의 특성에 의해 전송 효율이 가변되어 데이터 전송시 발생하는 에러를 보상할 수 가 없다.

<26> 또한, 광 전송로 및 수신 장치의 특성에 의해 전송 효율이 가변되는 것을 최소화하기 위해서는 광 전송 시스템에 이용되는 소자는 규격의 오차 허용 범위가 작은 것이 요구된다. 따라서, 종래와 같이 오픈 루프의 광 전송 시스템을 구성시 소자 선택의 제한이 있어 비용이 높아진다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명이 이루고자하는 제1기술적 과제는, 광 전송로 및 수신 장치의 특성에 상관없이 광 전송 시스템의 전송 효율이 항상 일정하게 유지되도록 전송 에러를 보상하는 광 전송 시스템을 제공하는데 있다.

<28> 본 발명이 이루고자하는 제2기술적 과제는, 상기 전송 에러를 보상하는 광 전송 시스템을 위한 송신 장치를 제공하는데 있다.

<29> 본 발명이 이루고자하는 제3기술적 과제는, 상기 전송 에러를 보상하는 광 전송 시스템을 위한 수신 장치를 제공하는데 있다.

<30> 본 발명이 이루고자 하는 제4기술적 과제는, 광 전송을 위한 상기 송신 장치에서 고속 데이터 전송을 위한 병/직렬 데이터 변환 회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<31> 상기와 같은 제1기술적 과제를 이루기 위해, 본 발명의 일면은 전송 에러가 보상되는 광 전송 시스템에 관한 것이다. 바람직한 실시예에 따른 광 전송 시스템은 외부에서 수신되는 다수개의 n비트 채널 데이터들을 소정의 클럭신호에 응답하여 각각 직렬 변환하고, 직렬 변환된 채널 데이터들 및 소정의 클럭신호를 에러 검출 신호에 상응하여 가변되는 전류 신호로 각각 변환한 후, 전류 신호의 크기에 상응하는 광 출력 세기를 갖는

광 신호들을 출력하는 송신 장치, 각 광 신호들을 전송하는 제1광 전송로, 제1광 전송로에서 수신되는 광 신호들로부터 n비트 채널 데이터 및 소정의 클럭신호를 복원하고, 각 광 신호들이 전송 및 수신되면서 발생하는 전송 에러를 검출하여 광 변환하여 에러 검출 신호로서 출력하는 수신 장치 및 광 변환된 에러 검출 신호를 송신 장치로 전송하는 제2광 전송로를 구비한다.

<32> 상기와 같은 제1기술적 과제를 이루기 위해, 본 발명의 다른 일면은 전송 에러를 보상하는 광 전송 시스템에 관한 것이다. 바람직한 실시예에 따른 광 전송 시스템은 외부에서 수신되는 다수개의 n비트 채널 데이터들을 소정의 클럭신호에 응답하여 각각 직렬 변환하고, 직렬 변환된 채널 데이터들 및 소정의 클럭신호를 에러 검출 신호에 상응하여 가변되는 전류 신호로 각각 변환한 후, 전류 신호의 크기에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 송신 장치, 각 광 신호들을 전송하는 광 전송로, 광 전송로에서 수신되는 광 신호들로부터 n비트 채널 데이터 및 소정의 클럭신호를 복원하고, 각 광 신호들이 전송 및 수신되면서 발생하는 전송 에러를 에러 검출 신호로서 출력하는 수신 장치 및 에러 검출 신호를 송신 장치로 전송하는 전기적 전송로를 구비한다.

<33> 상기와 같은 제2기술적 과제를 이루기 위해, 본 발명의 일면은 외부의 수신 장치로부터 검출되는 전송 에러를 제1광 전송로를 통하여 수신하고, 다수개의 채널 데이터들을 제2광 전송로를 통하여 수신 장치로 전송하기 위한 송신 장치에 관한 것이다. 바람직한 실시예에 따른 송신 장치는 외부에서 수신되는 소정의 클럭신호에 동기되는 클럭신호를 발생시키고, 데이터 전송을 위한 실제의 클럭신호로서 동기된 클럭신호를 출력하는 위상 동기 루프, 동기된 클럭신호에 응답하여 외부에서 다수개의 n비트 채널 데이터들을 받아들이고, 동기된 클럭신호에 응답하여 n비트 채널 데이터들을 각각 직렬 변환하여 출

력하는 병/직렬 데이터 변환부, 제1광 전송로로부터 전송되는 에러 검출 신호를 전류 신호로 변환하여 출력하는 수신용 광 다이오드, 병/직렬 데이터 변환부에서 직렬 변환된 채널 데이터들 및 동기된 클럭신호를 전류 신호로 각각 변환하고, 변환된 각 전류 신호들의 크기를 수신용 광 다이오드에서 변환된 전류 신호에 상응하여 가변하여 구동 신호들로서 출력하는 에러 보상 광학 드라이버 및 구동 신호들 각각에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 다수개의 송신용 광 다이오드들을 구비한다.

<34> 상기와 같은 제3기술적 과제를 이루기 위해, 본 발명의 일면은 외부의 송신 장치로부터 전송되는 채널 데이터들을 광 전송로를 통하여 수신하고, 수신된 광 신호로부터 채널 데이터들을 복원하는 수신 장치에 관한 것이다. 바람직한 실시예에 따른 수신 장치는 외부로부터 수신되는 광 신호들을 각각 수신하여 전류 신호로 변환하는 다수개의 수신용 광 다이오드들, 다수개의 수신용 광 다이오드들에서 변환된 각 전류 신호들을 전압 신호들로 변환 후, 디지털 변환하여 복원된 직렬의 채널 데이터들 및 복원된 클럭신호로서 출력하고, 전압 신호들로부터 채널별 전송 에러를 검출 후, 엔코딩 및 전류 변환하여 출력하는 에러 검출 광학 수신기, 복원된 클럭신호에 동기되는 동기된 클럭신호를 발생시키고, 데이터 수신을 위한 실제의 클럭신호로서 동기된 클럭신호를 출력하는 위상 동기 루프, 복원된 직렬의 채널 데이터들을 동기된 클럭신호에 응답하여 n비트의 병렬 데이터로 복원하는 데이터 복원부 및 에러 보상 광학 수신기로부터 엔코딩 및 전류 변환된 신호를 광 신호로 변환하는 송신용 광 다이오드를 구비한다.

<35> 상기와 같은 제4기술적 과제를 이루기 위해, 본 발명의 일면은 서로 겹치지 않도록 소정 오프셋을 갖는 제1~제n는 오버래핑 클럭신호들과, 제1~제n는 오버래핑 클럭신호들을 각각 반전하여 반전된 제1~제n는 오버래핑 클럭신호들을 발생하는 위상 동기 루프

를 구비하고, 외부로부터 입력되는 n비트의 채널 데이터들을 제1~제n는 오버랩핑 클럭 신호들에 응답하여 직렬의 정보 데이터로 각각 변환하여 전송하는 송신 장치의 병/직렬 데이터 변환 회로에 관한 것이다. 바람직한 실시예에 따른 병/직렬 데이터 변환 회로는 n비트 채널 데이터를 수신하고, 제1~제m래치 클럭신호들에 응답하여, 수신된 n비트 채널 데이터를 N비트씩 분할 래치하는 데이터 래치부 및 데이터 래치부에서 래치되는 n비트 채널 데이터, 제1~제n는 오버랩핑 클럭 신호들 및 반전된 제1~제n는 오버랩핑 클럭신호들을 논리 조합하고, 논리 조합된 결과를 직렬의 채널 데이터로서 출력하는 데이터 직렬화기를 구비한다.

<36> 이하, 본 발명에 따른 전송 에러를 보상하는 광 전송 시스템에 관하여 첨부된 도면들을 참조하여 다음과 같이 설명한다.

<37> 도 2는 본 발명의 일실시예에 따른 전송 에러를 보상하는 광 전송 시스템을 나타내는 개략적인 블록도이다. 광 전송 시스템은 송신 장치(100), 제1 및 제2광 전송로(185, 195) 및 수신 장치(200)를 포함하여 구성된다. 여기서, 제2광 전송로(195)는 전기적 전송로(193)로 대체될 수 있다. 본 명세서에서는 제2광 전송로(195)를 이용한 광 전송 시스템을 기초로 하여 기술된다.

<38> 송신 장치(100)는 외부로부터 수신되는 n비트 채널 데이터들을 소정의 클럭신호(CLK)에 응답하여 각각 직렬 변환한다. 또한, 송신 장치(100)는 각 직렬 변환된 채널 데이터들 및 소정의 클럭신호(CLK)를 광 신호로 각각 변환하여 출력한다. 또한, 송신 장치(100)는 제2광 전송로(195)를 통해 전송되는 에러 검출 신호에 응답하여 송신 장치(100)에서 출력되는 각 광 신호의 출력 세기를 가변할 수 있다. 본 발명의 일실시예에서는, 설명의 편의를 위해, n비트의 채널 데이터들은 R/G/B 색신호 및 제어신호(CON)인 것

으로 한다. 또한, 송신 장치(100)는 이들 R/G/B 색신호 및 제어신호(CON)를 입력단자 R_IN, G_IN, B_IN 및 CON_IN을 통해 각각 입력하는 것으로 한다. 또한, 소정의 클럭신호(CLK)를 입력단자 CLK_IN을 통해 입력하는 것으로 한다. 그리고, 제어신호(CON)는 수평/수직 동기 신호(HSYNC, VSYNC)와 데이터 인에이블 신호(DE)가 포함된 신호이다.

<39> 또한, 송신 장치(100)로 입력되는 R/G/B 색 신호와 제어신호(CON)는 도시되지는 않았지만 외부의 스캔블러에 의해 스캔블된 데이터일 수 있다. 여기서, 스캔블된 데이터란, 소정의 클럭 신호(CLK)에 응답하여 입력되는 디지털 데이터들의 하이 레벨과 로우 레벨의 갯수가 카운팅되고, 카운팅된 정보가 직류 밸런스 정보로서 각 채널 데이터에 부가된 데이터이다. 즉, 스캔블러에서 부가되는 직류 밸런스 정보는 디지털 전송에서 각 데이터 비트의 하이 레벨과 로우 레벨의 균형이 맞는지를 나타낸다. 이러한, 직류 밸런스 정보는 수신측에서 데이터를 복원할 때 데이터의 레벨을 판별하는 기준이 된다. 본 명세서에서는, 설명의 편의를 위해, 송신 장치(100)로 입력되는 R/G/B 색 신호 및 제어신호(CON)는 9비트의 스캔블된 데이터인 것으로 한다.

<40> 계속해서, 제1광 전송로(Plastic Optical Fiber:POF)(185)는 송신 장치(100)에서 출력되는 광 신호를 수신 장치(200)로 전송한다.

<41> 수신 장치(200)는 제1광 전송로(185)로부터 전송되는 광 신호들을 수신하여 원래의 디지털 신호인 n비트의 R/G/B 색 신호 및 제어신호(CON)와 소정의 클럭신호(CLK)를 복원한다. 도 2에서, R_OUT, R_OUT 및 B_OUT 및 CON_OUT은 복원된 R/G/B 색 신호 및 제어신호를 각각 나타내고, CLK_OUT은 복원된 소정의 클럭신호를 나타낸다. 또한, 수신 장치(200)는 송신 장치(100)에서 각 채널별로 출력되는 광 신호들이 제1광 전송로(185)를 통해 전송되면서 그리고, 수신 장치(200)에서 광 신호들이 수신되면서 발생하는 전송 에러

를 검출한다. 또한, 수신 장치(200)는 검출된 전송 에러를 광 신호로 변환하고, 변환된 광 신호를 에러 검출 신호로서 출력한다.

<42> 계속해서, 제2광 전송로(195)는 수신 장치(200)에서 출력되는 에러 검출 신호를 송신 장치(100)로 전송한다.

<43> 이상에서와 같이, 본 발명의 일실시예에 따른 광 전송 시스템은 수신 장치(200)에서 전송 에러가 검출되고, 검출된 전송 에러가 다시 송신 장치(100)로 궤환되는 폐루프(closed loop)로 구성된다. 즉, 송신 장치(100)에서 출력되는 광 신호의 세기는 외부의 조정 없이 수신 장치(200)로부터 전송되는 에러 검출 신호에 상응하여 자가 조정될 수 있다. 즉, 도 2에 도시된 광 전송 시스템의 수신 장치(200)는, 제1광 전송로(185) 및 수신 장치(200)의 특성에 의해 전송 효율이 가변됨으로 인해 발생하는 전송 에러를 검출하여, 에러 검출 신호로서 발생한다. 또한, 송신 장치(100)는 에러 검출 신호에 상응하여, 송신 장치(100)에서의 광 출력 세기를 조정함으로써, 별도의 외부의 조정없이도 항상 일정한 전송 효율을 유지할 수 있다.

<44> 또한, 본 발명에 따른 광 전송 시스템은 항상 일정한 전송 효율을 유지하므로, 오차 허용 범위가 큰 소자를 이용할 수 있다. 즉, 오차 허용 범위가 큰 소자로 인해 광 전송 시스템의 전송 효율이 떨어지면, 수신 장치(200)는 그에 따른 전송 에러를 검출하여 송신 장치로 전송한다. 송신 장치(100)는 검출된 전송 에러에 상응하여 광 출력 세기를 크게함으로써, 광 전송 시스템의 전송 효율이 떨어지는 것이 방지될 수 있다. 이처럼, 오차 허용 범위가 큰 소자를 사용할 수 있으므로, 광 전송 시스템 구성시 비용이 절감될 수 있다.

<45> 계속해서, 도 2를 참조하여, 송신 장치(100)를 좀 더 상세히 기술하면, 송신

장치(100)는 병/직렬 데이터 변환부(110), 위상 동기 루프(Phase Locked Loop:이하, PLL이라 함)(140), 에러 보상 광학 드라이버(160), 송신용 광 다이오드들(180) 및 수신용 광 다이오드(190)를 포함하여 구성된다.

<46> PLL(140)은 입력단자 CLK_IN으로부터 수신되는 소정의 클럭신호(CLK)에 동기되는 제1동기된 클럭신호(PLL_CK1)를 발생한다. 또한, PLL(140)은 제1동기된 클럭신호(PLL_CK1)를 데이터 전송을 위한 실제의 클럭신호로서 에러 보상 광학 드라이브(160)로 출력한다. 여기에서, PLL(140)은 기가(Giga) Hz급의 전송 속도를 갖는 고속 전송인 경우에 25MHz~162MHz의 주파수를 갖는 클럭 신호(CLK)를 입력으로 한다. 또한, PLL(140)은 제1동기된 클럭 신호(PLL_CK1)를 이용하여, 병/직렬 데이터 변환부(110)에서 수행되는 데이터 직렬화를 위한 논 오버래핑(non-overlapping) 클럭 신호들(CKP)과 반전된 논 오버래핑 클럭 신호들(CKPB)을 생성한다. 또한, PLL(140)은 생성된 논 오버래핑 클럭 신호들(CKP)과 반전된 논 오버래핑 클럭 신호들(CKPB)을 병/직렬 데이터 변환부(110)로 출력한다. PLL(140)에 대한 좀 더 상세한 설명은 도 3을 참조하여 후술된다.

<47> 병/직렬 데이터 변환부(110)는 입력되는 n비트의 채널 데이터들을 논 오버래핑 클럭신호(CKP) 및 반전된 논 오버래핑 클럭신호(CKPB)에 응답하여 각각 직렬 변환한다. 또한, 병/직렬 데이터 변환부(110)는 변환된 각 직렬의 채널 데이터들을 에러 보상 광학 드라이버(160)로 출력한다. 만일, 병렬의 데이터가 직렬의 데이터로 변환되지 않는다면, 각 R/G/B 색 신호를 구성하는 비트 수만큼의 채널과, 제어 신호(CON)를 구성하는 비트 수 만큼의 채널이 요구된다. 예컨대, 도 2에서 9비트의 R/G/B 색신호와 제어신호(CON)를 병렬로 전송하려면, 36개의 채널이 요구된다. 그러나, 본 발명에서와 같이 병렬의 데이터를 직렬의 데이터로 변환하여 전송한다면, 4개의 채널을 이용하여 9비트의 R/G/B 색신

호 및 제어신호(CON)를 전송할 수 있다는 장점이 있다.

<48> 또한, 본 발명의 일 실시예에서와 같이 광 전송 시스템이 그래픽 데이터를 전송하는 경우, 디스플레이 화면이 대형화되고 해상도가 증가됨에 따라, 처리해야할 데이터의 양이 많아진다. 따라서, 데이터 처리를 위한 클럭신호(CLK)의 주파수가 증가하며, 직렬화된 데이터의 전송 속도가 증가된다. 다음 표 1은 입력 데이터가 9비트의 병렬 데이터인 경우, 해상도에 따른 클럭신호(CLK)의 주파수 및 이에 따른 직렬화된 데이터의 전송 속도를 나타낸다.

<49> 【표 1】

해상도	클럭신호(CLK)의 주파수	직렬화된
640x480	25MHz	225Mbps
1024x768	65MHz	585Mbps
1280x1024	112MHz	1.008Gbps
1600x1200	162MHz	1.458Gbps

<50> 표 1을 참조하면, 직렬화된 데이터는 해상도의 증가에 따라 기가 Hz급의 고속 전송이 요구되게도 한다. 따라서, 병/직렬 데이터 변환부(110)는 이와 같은 고속의 전송에 적합하도록 게이팅 시간이 빠른 소자들로 구현되는 것이 유리하다. 즉, 일반적으로, 종래에는 플립플롭들로 구현되는 쉬프트 레지스터가 병/직렬 데이터 변환부로 이용된다. 이처럼, 플립플롭들을 이용하여 병/직렬 데이터 변환부를 구현할 경우, 플립플롭 자체의 홀딩 및 셋팅 타임(holding and setting time)으로 인해 기가 Hz급의 고속 데이터 처리를 할 수 없다. 따라서, 기가 Hz급의 고속 데이터 처리를 위해서는 게이팅 시간이 빠른 소자들로 구현되는 것이 요구된다. 병/직렬 데이터 변환부(110)에 대한 상세한 설명은 도 6을 참조하여 후술된다.

<51> 계속하여, 도 2에서 수신용 광 다이오드(190)는 일반적으로 포토 다이오드(Photo

Diode)로 구현될 수 있다. 또한, 수신용 광 다이오드(190)는 제2광 전송로(195)로부터 수신되는 광 신호인 에러 검출 신호를 전류 신호로 변환하여 출력한다.

<52> 에러 보상 광학 드라이버(160)는 병/직렬 데이터 변환부(110)로부터 직렬 변환된 채널 데이터들 및 PLL(140)로부터 제1동기된 클럭신호(PLL_CLK1)를 서로 다른 채널 데이터로서 각각 받아들여 전류 변환한다. 또한, 에러 보상 광학 드라이버(160)는 수신용 광 다이오드(190)에서 변환된 전류신호에 상응하여 변조(modulation) 전류 또는 바이어스(bias) 전류를 변화시킨다. 또한, 에러 보상 광학 드라이버(160)는 변조 전류 및 바이어스 전류를 각 채널 데이터가 전류 변환된 신호에 반영시켜, 송신용 광학 다이오드들(180)을 구동하기 위한 구동 신호들을 생성한다. 도 2에서, R_DR, G_DR, B_DR은 R/G/B 색 신호 각각에 대응되는 구동 신호를 나타낸다. 또한, CON_DR 및 CLK_DR는 제어신호(CON) 및 클럭신호(CLK)에 대응되는 구동 신호를 각각 나타낸다. 광학 드라이버(160)에 대한 좀 더 상세한 설명은 도 11을 참조하여 후술된다.

<53> 송신용 광 다이오드들(180)은 일반적으로 표면 광 레이저(Vertical Cavity Surface Emitting Laser:VCSEL)와 같은 레이저 다이오드로 구현될 수 있다. 또한, 송신용 광 다이오드들(180) 각각은 에러 보상 광학 드라이버(160)로부터 출력되는 각 구동 신호들에 상응하는 광 출력 세기를 갖는 광 신호들을 출력한다. 도 2에서, R_LD, G_LD 및 B_LD는 광 신호로 변환된 R/G/B 색 신호를 각각 나타낸다. 또한, CON_LD 및 CLK_LD는 광 신호로 변환된 제어 신호(CON)와 클럭 신호(CLK)를 각각 나타낸다.

<54> 계속해서, 도 2를 참조하여, 송신 장치(100)를 좀 더 상세히 기술하면, 수신 장치(200)는 수신용 광 다이오드들(187), 송신용 광 다이오드(197), 에러 검출 광학 수신기(210), 데이터 복원부(250) 및 PLL(260)을 포함하여 구성된다.

- <55> 수신용 광 다이오드들(187)은 전술된 바와 같이, 포토 다이오드들로 구현될 수 있다. 또한, 수신용 광 다이오드들(187)은 제1광 전송로(185)를 통해 전송되는 광 신호들을 각각 수신하여 전류 신호로 변환한다. 도 2에서, R_PD, G_PD 및 B_PD는 광 신호로 변환되어 제1광 전송로(185)를 통해 전송되는 R/G/B 색 신호를 각각 나타낸다. 또한, CON_PD 및 CLK_PD는 광 신호로 변환되어 제1광 전송로(185)를 통해 전송되는 제어신호(CON) 및 클럭신호(CLK)를 각각 나타낸다.
- <56> 에러 검출 광학 수신기(210)는 수신용 광 다이오드들(187)로부터 수신되는 전류 신호들을 각각 전압 변환하고, 각 변환된 전압을 레벨변환하여 디지털화한다. 그리고, 디지털화된 신호들은 복원된 직렬의 채널 데이터들 및 복원된 클럭신호로서 데이터 복원부(250) 및 PLL(260)로 각각 출력된다. 도 2에서 R_SRL, G_SRL, B_SRL 및 CON_SRL은 복원된 직렬의 채널 데이터들을 각각 나타낸다. 또한, CLK_SRL은 복원된 클럭신호를 나타낸다. 또한, 에러 검출 광학 수신기(210)는 수신된 전류 신호들로부터 제1광 제1광 전송로(185) 및 수신용 광학 다이오드들(187)에 의한 전송 에러를 각 채널별로 검출한다. 검출된 각 채널별 전송 에러는 복원된 클럭신호(CLK_OUT)에 응답하여 엔코딩 및 전류 변환되어 송신용 광 다이오드(197)로 출력된다. 에러 검출 광학 수신기(210)에 대한 상세한 설명은 도 13을 참조하여 후술된다.
- <57> PLL(260)은 에러 검출 광학 수신기(210)로부터 발생하는 복원된 클럭신호(CLK_SRL)에 동기되는 제2동기된 클럭신호를 복원된 소정의 클럭신호(CLK_OUT)로서 출력한다. 또한, PLL(260)은 제2동기된 클럭신호(CLK_OUT)를 이용하여, 서로 겹치지 않도록 소정의 오프셋을 갖는 논 오버랩핑 클럭 신호(CKP)를 생성하고, 이를 데이터 복원부(250)로 출력한다. 여기서, 논 오버랩핑 클럭신호(CKP)는 데이터 복원부(250)에서 수행되는 데이터

복원에 이용되는 신호이다.

- <58> 데이터 복원부(250)는 광학 수신기로부터 복원된 직렬의 채널 데이터들을 상기 제2 동기된 클럭신호(CLK_OUT)에 응답하여 n비트의 채널 데이터로 복원한다. 도 2에서, R_OUT, G_OUT, B_OUT 및 CON_OUT은 복원된 n비트의 R/G/B 색 신호 및 제어신호(CON)를 각각 나타낸다.
- <59> 송신용 광 다이오드(197)는 전술된 바와 같이 레이저 다이오드로 구현될 수 있다. 또한, 송신용 광 다이오드(197)는 에러 검출 광학 수신기(210)로부터 엔코딩 및 전류 변환된 신호를 광 신호로 변환하고, 변환된 광 신호를 에러 검출 신호로서 출력한다.
- <60> 한편, 이상에서 기술된 본 발명의 일실시예에 따른 광 신호 전송 시스템은 수신 장치(200)에서 검출된 전송 에러를 광 신호로 변환하고, 이를 제2광 전송로를 통하여 송신 장치(100)로 전송한다. 그러나, 도 2에서 제2광 전송로(195)는 전기적 전송로(193)로 대체될 수 있다. 일반적으로, 광 전송로는 전기적 전송로보다 전송 속도가 빠르다. 따라서, 빠른 전송 속도를 요구하는 채널 데이터의 전송에는 광 전송로가 효과적이다. 그러나, 에러 검출 신호의 전송은 채널 데이터의 전송과 같이 빠른 전송 속도가 요구되지 않는다. 따라서, 도 2에서 에러 검출 신호의 전송을 위한 제2광 전송로(195)는 전기적 전송로(193)로 대체될 수 있다.
- <61> 이처럼, 도 2의 제2광 전송로(195)를 전기적 전송로(193)로 대체할 경우, 광 전송 시스템의 구성이 도 2에 도시된 광 전송 시스템과 달라진다. 즉, 송신 장치(100)에서 수신용 광 다이오드(190)가 사용되지 않으며, 수신 장치(200)에서 송신용 광 다이오드(197)가 사용되지 않는다.

- <62> 또한, 도 2의 제2광 전송로(185)를 전기적 전송로(193)로 대체할 경우, 광 전송 시스템의 동작이 도 2에 도시된 광 전송 시스템과 달라진다.
- <63> 먼저, 수신 장치(200)의 에러 검출 광학 수신기(210)는 제1광 전송로(185)에 의한 에러 및 수신용 광 다이오드들(187)에 의한 전송 에러를 검출후, 채널 정보와 검출된 전송 에러를 직렬의 데이터로 엔코딩한다. 또한, 에러 검출 광학 수신기(210)는 엔코딩된 데이터를 에러 검출신호로서 전기적 전송로(193)를 통해 송신 장치(100)로 전송한다. 또한, 송신 장치(100)의 에러 보상 광학 드라이버(160)는 전기적 전송로(193)를 통해 전송되는 에러 검출신호를 수신하고, 수신된 에러 검출 신호에 상응하여 광 출력 세기를 조절한다.
- <64> 도 3은 도 2에 도시된 PLL(140)을 나타내는 블록도이다. PLL(140)은 위상 검출기(142), 전하 펌프(144), 루프 필터(148) 및 전압 제어 발진기(Voltage Controlled Oscillator:이하, VCO라 함)(146)를 포함하여 구성된다.
- <65> 도 3을 참조하여, 위상 검출기(142)는 외부로부터 수신되는 소정의 클럭신호(CLK)와 전압 제어 발진기(146)에서 발생하는 제1는 오버랩핑 클럭신호(CKPO)를 위상 비교하여 위상차를 검출하고, 검출된 결과를 전하 펌프(144)로 출력한다.
- <66> 전하 펌프(144)는 위상 검출기(142)에서 검출되는 위상차에 상응하여 루프 필터(148)로 전하를 공급하거나 또는 루프 필터(148)로부터 전하를 싱킹한다.
- <67> 루프 필터(148)는 일반적으로 저역 통과 필터가 이용되며, 전하 펌프(14)로부터 전하를 공급받거나 또는 전하펌프(14)로 전하를 싱킹한다. 이처럼, 루프 필터(146)가 전하 펌프(14)로부터 전하를 공급받거나 또는 전하펌프(14)로 전하를 싱킹함에 의해, 제어

전압(V_c)이 발생된다.

<68> VCO(146)는 제어 전압(V_c)에 상응하는 발진 주파수를 갖는 신호를 소정의 클럭신호(CLK)에 동기되는 제1동기된 클럭신호(PLL_CLK1)로서 위상 검출기(142)로 발생한다. 여기서, 제1동기된 클럭신호(PLL_CLK1)는 제1논 오버래핑 클럭신호(CKP0)이기도 하다. 또한, VCO(146)는 제1동기된 클럭신호(PLL_CLK1)를 이용하여 서로 겹치지 않도록 소정의 오프셋을 갖는 제1 내지 제 n 논 오버래핑 클럭신호(CKP0~CKP n -1)를 발생한다. 또한, VCO(146)는 제1 내지 제 n 논 오버래핑 클럭신호(CKP0~CKP n -1)를 각각 반전하여, 반전된 제1 내지 제 n 논 오버래핑 클럭신호(CLPB0~CKPB n -1)를 발생한다. 여기서, 소정의 오프셋은 후술되는 단위 비트의 폭에 해당될 수 있다. VCO(146)에 대한 상세한 설명은 도 4를 참조하여 후술된다.

<69> 한편, 도 3에 도시된 PLL은 수신장치(200)의 PLL(260)로도 적용될 수 있다.

<70> 도 4는 도 3에 도시된 VCO(146)를 나타내는 회로도이다. VCO(146)는 제1 내지 제9 지연기(300~316)를 포함하여 구성된다. 여기서, 설명의 편의를 위해, VCO(146)는 제1 내지 제9논 오버래핑 클럭신호(CKP0~CKP8) 및 반전된 제1 내지 제9논 오버래핑 클럭신호(CKPB0~CKPB8)를 발생하는 것으로 한다.

<71> 도 4를 참조하면, VCO는 9개의 지연기들(300~316)을 이용하여 링(ring) 오실레이터로 구성된다. 제1 내지 제9지연기들(300~316) 각각의 정출력 단자로 제1 내지 제9논 오버래핑 클럭신호들(CKP0~CKP8)이 발생된다. 또한, 제1 내지 제9지연기들(300~316) 각각의 부출력 단자로 반전된 제1 내지 제9논 오버래핑 클럭신호들(CKPB0~CKPB8)이 발생된다. 도 4에 도시된 VCO는 각 지연기들(300~316)로 인가되는 제어 전압(V_c)에 상응하여 지연기들(300~316)의 지연시간이 가변됨에 따라, 각 지연기들(300~316)에서 발생되

는 논 오버랩핑 클럭신호들(CKP0~CKPn-1)의 주파수가 가변될 수 있다.

- <72> 도 5는 도 4에 도시된 VCO로부터 출력되는 소정의 오프셋(P18)을 갖는 제1 내지 제9 논 오버랩핑 클럭 신호들(CKP0~CKP8)과, 제1동기된 클럭신호(PLL_CK1)의 파형도를 각각 나타낸다.
- <73> 도 6은 도 2에 도시된 병/직렬 데이터 변환부(110)를 나타내는 블록도이다. 병/직렬 데이터 변환부(110)는 데이터 래치부(700) 및 데이터 직렬화기(750)를 포함하여 구성된다.
- <74> 도 7(a) 및 (b)는 도 6에 도시된 장치의 동작을 나타내는 파형도들로서, 도 7(a)는 제1동기된 클럭 신호(PLL_CK1)를 나타내고, 도 7(b)는 도 6의 데이터 직렬화기(750)를 통하여 출력되는 직렬의 채널 데이터(DOUT)를 나타낸다.
- <75> 도 6 및 도 7을 참조하여, 데이터 래치부(700)는 입력단자 DIN을 통해 n비트 채널 데이터를 받아들이고, 제1 내지 제n논 오버랩핑 클럭신호(CKP0~CKPn-1)중 N(여기서, N은 2이상의 양의 정수)단위 비트만큼의 타이밍 마진을 갖는 제1 내지 제m래치 클럭신호(CKL0~CKLm-1)에 응답하여 N비트씩 분할 래치한다. 여기서, 제1래치 클럭신호(CKL0)는 제1동기된 클럭신호(PLL_CK1)와 타이밍 마진이 가장 큰 논 오버랩핑 클럭신호이다. 이처럼, 제1래치 클럭신호(CKL0)를 제1동기된 클럭신호(PLL_CK1)와 타이밍 마진이 가장 큰 논 오버랩핑 클럭신호를 선택하는 이유를 포함한 데이터 래치부(700)의 에 대한 상세한 동작 설명은 도 8 및 도 9를 참조하여 후술된다. 또한, 도 6에서 입력단자 DIN으로 입력되는 n비트 채널 데이터는 R/G/B 색신호 또는 제어신호(CON)일 수 있다.
- <76> 데이터 직렬화기(750)는 데이터 래치부(700)에서 래치되는 n비트 채널 데이터, 제

1~제n는 오버랩핑 클럭 신호(CKP0~CKPn-1) 및 반전된 제1~제n는 오버랩핑 클럭 신호(CKPB0~CKPBn-1)를 받아들여 논리 조합한다. 또한, 데이터 직렬화기(750)는 논리 조합된 결과를 도 7(b)에 도시된 바와 같은 직렬의 채널 데이터로서 출력단자 DOUT을 통해 출력한다. 여기서, P18은 단위 비트폭을 나타낸다. 데이터 직렬화기(750)에 대한 상세한 설명은 도 10을 참조하여 후술된다.

<77> 본 발명의 이해를 돕기 위해, $n=9$ 라 가정하고 $N=3$ 이라 가정하여, 도 6에 도시된 장치가 다음과 같이 기술된다.

<78> 도 8은 도 6에 도시된 데이터 래치부(700)를 나타내는 회로도이다. 데이터 래치부(700)는 플립플롭들(710a~710i)로 구성되는 제1래치부(710), 플립플롭들(720a~720f)로 구성되는 제2래치부(720) 및 플립플롭들(730a~730c)로 구성되는 제3래치부(730)를 포함하여 구성된다.

<79> 도 9(a)~(h)는 도 8에 도시된 데이터 래치부의 동작을 나타내는 주요 파형도들로서, 도 9(a)는 제1는 오버랩핑 클럭신호(CKP0)를 나타내고, 도 9(b)는 제1래치부(710)로 입력되는 9비트의 채널 데이터를 나타내고, 도 9(c)는 제1래치부(710)의 동작을 제어하는 제1래치 클럭신호(CKL1)를 나타내고, 도 9(d)는 제1래치부(710)에서 래치되는 채널 데이터를 나타내고, 도 9(e)는 제2래치부(720)의 동작을 제어하는 제2래치 클럭신호(CKL2)를 나타내고, 도 9(f)는 제2래치부(720)에서 래치되는 채널 데이터를 나타내고, 도 9(g)는 제3래치부(730)의 동작을 제어하는 제3래치 클럭신호(CKL3)를 나타내고, 도 9(h)는 제3래치부(730)에서 래치되는 채널 데이터를 각각 나타낸다. 설명의 편의를 위해, 도 8에 도시된 데이터 래치부에 의해 래치된 데이터가 데이터 직렬화기(750, 도 6참조)에 의해 직렬화된 결과를 도 9(i)에 함께 나타내었다.

<80> 도 8 및 도 9를 참조하면, 제1래치부(710)를 구성하는 9개의 플립플롭들(710a~710i)은 9비트 채널 데이터의 각 비트에 대응된다. 즉, 플립플롭들(710a~710i)은 도 8(b)에 도시된 바와 같이 제1논 오버래핑 클럭신호(CKP0)에 응답하여 발생하는 채널 데이터의 각 비트를 입력단자(D)로 받아들인다. 여기서, D[8]~D[0]는 9비트 채널 데이터의 각 비트를 나타낸다. 또한, 플립플롭들(710a~710i)은 제1래치 클럭신호(CKL0)에 응답하여, 입력된 채널 데이터를 래치한다. 여기서, 전술된 바와 같이, 제1래치 클럭신호(CKL0)는 제1 내지 제9논 오버래핑 클럭신호들(CKP0~CKP8)(도 5 참조)중 도 5(b) 및 도 8(a)에 도시된 제1논 오버래핑 클럭신호(CKP0)와 타이밍 마진이 가장 큰 신호이다. 따라서, 제1논 오버래핑 클럭신호(CKP0)와 거의 반전되는 위상을 갖는 제6논 오버래핑 클럭신호(CKP5)가 제1래치 클럭신호(CKL0)로서 이용될 수 있다. 즉, 제1래치부(710)가 제6논 오버래핑 클럭신호(CKP5)에 응답하여, 입력되는 채널 데이터를 래치한다. 또한, 제1래치부(710)에 의해 래치되는 채널 데이터의 상위 3비트는 그대로 래치되고, 하위 6비트는 제2래치부(720)로 출력된다. 여기서, Do[8], Do[7], Do[6]은 제1래치부(710)에 의해 래치된 채널 데이터의 상위 3비트를 나타낸다.

<81> 결국, 제1래치부(710)는 도 8(c)에 도시된 제6논 오버래핑 클럭신호(CKP5)를 제1래치 클럭신호(CKL0)로 이용함으로써, 도 8(b)에 도시된 9비트 채널 데이터에서 Dn[8:6]을 안정적으로 래치시킬 수 있다.

<82> 계속하여, 제2래치부(720)를 구성하는 6개의 플립플롭들(720a~720f)은 제1래치부(710)를 구성하는 플립플롭들(710d~710i) 각각에 대응된다. 즉, 플립플롭들(720a~720f)은, 도 8(c)에 도시된 바와 같이, 제6논 오버래핑 클럭신호(CKP5)에 응답하여 플립플롭들(710d~710i) 각각에서 출력되는 데이터를 입력단자(D)로 받아들인다. 또한, 플립플롭

들(720a~720f)은 제2래치 클럭신호(CKL1)에 응답하여, 입력된 데이터를 래치한다. 여기서, 전술된 바와 같이, 제2래치 클럭신호(CKL1)는 제1래치 클럭신호(CKL0)와 3단위 비트만큼의 타이밍 마진을 갖는 신호이다. 따라서, 제1래치 클럭신호(CKL0)로 이용된 제6논 오버래핑 클럭신호(CKP5)와 3단위 비트의 타이밍 마진을 갖는 제9논 오버래핑 클럭신호(CKP8)가 제2래치 클럭신호(CKL1)로서 이용될 수 있다. 즉, 제2래치부(720)는 제9논 오버래핑 클럭신호(CKP8)에 응답하여, 입력되는 데이터를 래치한다. 또한, 제2래치부(720)에 의해 래치되는 채널 데이터의 상위 3비트는 그대로 래치되고, 하위 3비트는 제3래치부(730)로 출력된다. 여기서, Do[5], Do[4], Do[3]는 제2래치부(720)에 의해 래치된 데이터의 상위 3비트를 나타낸다.

<83> 결국, 제2래치부(720)는 도 8(e)에 도시된 제9논 오버래핑 클럭신호(CKP8)를 제2래치 클럭신호(CKL1)로 이용함으로써, 도 8(d)에 도시된 9비트 채널 데이터에서 Dn[5:3]를 안정적으로 래치시킬 수 있다.

<84> 계속하여, 제3래치부(730)를 구성하는 3개의 플립플롭들(730a~730c)은 제2래치부(720)를 구성하는 플립플롭들(720d~720f) 각각에 대응된다. 즉, 플립플롭들(730a~730c)은, 도 8(e)에 도시된 바와 같이, 제9논 오버래핑 클럭신호(CKP8)에 응답하여 플립플롭들(720d~720f) 각각에서 출력되는 데이터를 입력단자(D)로 받아들인다. 또한, 플립플롭들(730a~730c)은 제3래치 클럭신호(CKL2)에 응답하여, 입력된 데이터를 래치한다. 여기서, 전술된 바와 같이, 제3래치 클럭

신호(CKL2)는 제2래치 클럭신호(CKL1)와 3단위 비트만큼의 타이밍 마진을 갖는 신호이다. 따라서, 제2래치 클럭신호(CKL1)로 이용된 제9논 오버래핑 클럭신호(CKP8)와 3단위 비트의 타이밍 마진을 갖는 제3논 오버래핑 클럭신호(CKP2)가 제3래치 클럭신호(CKL2)로서 이용될 수 있다. 즉, 제3래치부(730)는 제3논 오버래핑 클럭신호(CKP2)에 응답하여, 입력되는 데이터를 래치하여 출력한다. 여기서, Do[2], Do[1], Do[0]는 제3래치부(730)에서 출력되는 채널 데이터를 나타낸다.

<85> 결국, 제3래치부(730)는 도 8(g)에 도시된 제3논 오버래핑 클럭신호(CKP2)를 제3래치 클럭신호(CKL2)로 이용함으로써, 도 8(f)에 도시된 6비트 채널 데이터에서 Dn[2:0]를 안정적으로 래치시킬 수 있다.

<86> 도 10은 도 6에 도시된 데이터 직렬화기(750)를 나타내는 회로도이다. 데이터 직렬화기(750)는 낸드게이트들(760a~760i)로 구성되는 제1논리 조합부(760), 낸드 게이트들(762a~762c)로 구성되는 제2논리 조합부(762)와, 낸드게이트(766) 및 인버터(768)로 구성되는 제3논리 조합부(764)를 포함하여 구성된다.

<87> 도 5, 도 9 및 도 10을 참조하면, 제1논리 조합부(760)를 구성하는 9개의 낸드게이트들(760a~760i)은 데이터 래치부(도 6참조)에서 래치된 9비트의 채널 데이터의 각 비트에 대응된다. 또한, 낸드게이트들(760a~760i)은 도 5에 도시된 제1 내지 제9논 오버래핑 클럭신호들(CKP0~CKP8) 각각에 대응되고, 반전된 제2 내지 반전된 제1논 오버래핑 클럭신호들(CKPB2~CKPB1) 각각에 대응된다. 즉, 낸드게이트들(760a~760i) 각각은 래치된 9비트의 채널 데이터에 대응하는 각 비트, 대응하는 논 오버래핑 클럭신호 및 대응하는 반전된 논 오버래핑 클럭신호를 받아

들여 논리조합한다. 예컨대, 낸드 게이트(760a)는 9비트의 채널 데이터중 최상위 비트인 $Dn[8]$ 와 제1논 오버랩핑 클럭신호(CKP0)와 반전된 제2논 오버랩핑 클럭신호(CKPB1)를 받아들여 반전 논리곱한다. 따라서, 낸드 게이트(760a)는 제1논 오버랩핑 클럭신호(CKP0)와 반전된 제2논 오버랩핑 클럭신호(CKPB1)가 동시에 하이 레벨이 되는 제1구간(P1)동안 반전된 채널 데이터 $\overline{Dn[8]}$ 을 발생한다. 그리고, 제1구간(P1)동안 나머지 낸드 게이트들(760b~760i)는 모두 하이레벨의 데이터를 출력한다. 또한, 낸드 게이트(760b)는 9비트의 채널 데이터중 $Dn[7]$ 과 제2논 오버랩핑 클럭신호(CKP1)와 반전된 제3논 오버랩핑 클럭신호(CKPB2)를 받아들여 반전 논리곱한다. 따라서, 낸드 게이트(760b)는 제2논 오버랩핑 클럭신호(CKP1)와 반전된 제3논 오버랩핑 클럭신호(CKPB2)가 동시에 하이 레벨이 되는 제2구간(P3)동안 반전된 채널 데이터 $\overline{Dn[7]}$ 를 발생한다. 그리고, 제2구간(P3)동안 나머지 낸드 게이트들(760a, 760c~760i)은 모두 하이레벨의 데이터를 출력한다. 마찬가지로, 제3 내지 제9구간(p5~p9)동안 낸드게이트(760c~760i)는 반전된 채널 데이터 $\overline{Dn[6]} \sim \overline{Dn[0]}$ 를 각각 출력한다.

<88> 제2논리 조합부(762)의 낸드 게이트(762a)는 낸드 게이트들(760a~760c)에서 각각 출력되는 데이터를 반전 논리곱한다. 또한, 낸드 게이트(762b)는 낸드 게이트들(760d~760f)에서 각각 출력되는 데이터를 반전 논리곱한다. 또한, 낸드 게이트(762c)는 낸드 게이트들(760g~760i)에서 각각 출력되는 데이터를 반전 논리곱한다.

<89> 제3논리 조합부(764)의 노아 게이트(766)는 낸드 게이트(762a~762c)에서 각각 반전 논리곱된 데이터를 받아들여 반전 논리합한다. 또한, 인버터(768)는 노아 게이트(766)에서 반전 논리합된 데이터를 반전하고, 반전된 결과를 직렬의 채널 데이터로서 출력단자 DOUT을 통해 출력한다. 결국, 출력단자 DOUT으로 도 9(i)에 도시된 바와 같은 직렬의 채

널 데이터가 출력된다.

<90> 한편, 도 8, 도 9 및 도 10을 참조하면, 제1 내지 제3구간(p1~p3)동안 도 10에 도시된 데이터 직렬화기는 도 9(d)에 도시된 채널 데이터 Dn[8:0]중 상위 3비트인 Dn[8], Dn[7], Dn[6]을 직렬화하여 출력한다. 즉, 도 9(d)에 도시된 채널 데이터 Dn[8:0]의 중심에서 안정적으로 상위 3비트가 직렬화될 수 있다. 또한, 제7 내지 제9구간(p13~p17)동안 도 10에 도시된 데이터 직렬화기는 도 9(h)에 도시된 채널 데이터 Dn[2:0]를 직렬화하여 출력한다. 즉, 도 9(h)에 도시된 채널 데이터 Dn[2:0]의 중심에서 안정적으로 하위 3비트가 직렬화될 수 있다.

<91> 만약, 도 8에 도시된 데이터 래치부가 9비트 채널 데이터를 분할 래치 하지 않고, 제1동기된 클럭신호(PLL_CK1)를 이용하는 일반적인 방법에 의해, 9비트 채널 데이터를 래치한다고 가정하자. 그러면, 도 10에 도시된 데이터 직렬화기는 제1구간(p1)에서, 도 9(b)에 도시된 채널 데이터의 최상위 비트 Dn[8]를 직렬의 채널 데이터로서 출력한다. 또한, 도 10에 도시된 데이터 직렬화기는 제9구간(p8)에서, 도 9(b)에 도시된 채널 데이터의 최하위 비트 Dn[0]를 직렬의 채널 데이터로서 출력한다. 이 때, 도 9(a)에 도시된 제1동기된 클럭신호(PLL_CK1)와 도 9(b)에 도시된 9비트 채널 데이터간에 약간의 위상차가 발생하여도 데이터 직렬화기는 잘못된 직렬의 채널 데이터를 출력할 수 있다. 즉, 도 10에 도시된 데이터 직렬화기는 최상위 비트 Dn[8]를 직렬의 채널 데이터로서 출력해야 할 시점에서, 이전 채널 데이터의 최하위 비트인 Dn-1[0]를 출력할 수 있다. 또한, 데이터 직렬화기는 최하위 비트 Dn[0]를 직렬의 채널 데이터로서 출력해야 할 시점에서, 다음 채널 데이터의 최상위 비트인 Dn+1[8]을 취할 수 있다. 결국, 채널 데이터의 경계부분에서 이전 채널 데이터의 최하위 비트 또는 다음 채널 데이터의 최상위 비트가 혼재될

수 있다.

- <92> 그러나, 9에 도시된 데이터 래치부는 제6, 제9 및 제3는 오버랩핑 클럭신호들 (CKP5, CKP8, CKP2)을 이용하여 9비트 채널 데이터를 분할 래치함으로써, 도 10에 도시된 데이터 직렬화기가 병렬의 채널 데이터의 중심에서 안정적으로 직렬 변환할 수 있다.
- <93> 또한, 도 10에 도시된 데이터 직렬화기는 게이팅 시간이 빠른 게이트들로만 구현되므로, 기가 Hz급 이상의 고속의 직렬화기가 구현될 수 있고, 플립플롭들로 구현된 종래의 일반적인 데이터 직렬화기에 비해 회로의 크기가 크게 작아 질 수 있다. 또한, 도 10에 도시된 데이터 직렬화기는 종래와 대비하여 상대적으로 주파수가 낮은 논 오버랩핑 클럭신호들(CKP)을 이용하여 데이터 직렬화를 수행함으로써, 전력 소비를 작게 할 수 있다. 예컨대, 종래에는 병렬 데이터의 비트수 만큼 체배된 클럭신호를 이용하여 데이터 직렬화가 수행된다.
- <94> 도 11은 도 2에 도시된 에러 보상 광학 드라이버(160)를 나타내는 블록도이다. 에러 보상 광학 드라이버(160)는 제1 내지 제5광학 드라이버(168~176), 광 출력 조절부(166), 전송 에러 보상부(164) 및 광학 수신기(162)를 포함하여 구성된다. 또한, 도 11에는 설명의 편의를 위해 송신용 광 다이오드들(180a~180e)과 수신용 광 다이오드(190)를 함께 도시하였다. 도 11에서 R_SRL, G_SRL, B_SRL 및 CON_SRL은 도 2에 도시된 병/직렬 데이터 변환부(110)에서 출력되는 직렬의 채널 데이터를 각각 나타낸다. 또한, PLL_CK1는 도 2에 도시된 PLL(140)에서 출력되는 제1동기된 클럭신호를 나타낸다.
- <95> 도 11을 참조하여, 수신용 광 다이오드(190)는 수신 장치(200, 도 2참조)로부터 광 신호로 변환되어 전송되는 에러 검출 신호를 수신하여 전류 변환한다. 여기서, 에러 검

출 신호에는, 전송된 바와 같이, 채널 정보와 각 채널별로 검출된 전송 에러에 대한 정보가 포함된 신호이다.

<96> 광학 수신기(162)는 수신용 광 다이오드(190)로부터 전류 변환된 신호를 수신하여 전압 변환한다. 또한, 광학 수신기(162)는 변환된 전압을 레벨 변환하여 디지털화하고, 디지털화된 신호를 에러 보상 신호로서 전송 에러 보상부(164)로 출력한다.

<97> 전송 에러 보상부(164)는 광학 수신기(162)에서 출력되는 에러 보상 신호를 제1동기된 클럭신호(PLL_CK1)에 응답하여 디코딩한다. 즉, 전송 에러 보상부(164)는 에러 보상 신호를 디코딩하여, 수신 장치(200, 도 2참조)에서 검출된 각 채널별 전송 에러 데이터를 복원한다. 또한, 전송 에러 보상부(164)는 복원된 전송 에러 데이터를 아날로그 변환한다. 그리고, 아날로그 변환된 신호는 각 채널별로 발생하는 전송 에러를 보상하기 위한 전송 에러 보상 신호로서 광 출력 조절부(166)로 출력된다. 전송 에러 보상부(164)에 대한 상세한 설명은 도 12를 참조하여 후술된다.

<98> 광 출력 조절부(166)는 전송 에러 보상부(164)로부터 발생하는 전송 에러 보상 신호들을 받아들이고, 전송 에러 보상 신호들 각각에 상응하는 광 출력 조절 신호를 발생하여 제1 내지 제5광학 드라이버(168~176)로 각각 출력한다. 여기서, 광 출력 조절 신호들은 제1 내지 제5광학 드라이버(168~176)의 변조 전류 또는 바이어스 전류를 조절하기 위한 조절신호이다. 여기에서, 변조 전류는 실제로 전송되는 광 신호의 스윙(SWING) 범위를 가변하기 위한 전류로 정의된다. 또한, 바이어스 전류는 출력되는 광 신호의 직류 레벨을 제어하기 위한 전류로 정의된다. 바이어스 전류는 송신용 광 다이오드의 온/오프 경계에서 설정되어 송신용 광 다이오드의 온/오프에 따른 데이터의 전송 속도가 저하되는 것을 방지한다.

<99> 제1 내지 제5광학 드라이버들(168~176)은 각각의 채널로 수신되는 직렬의 채널 데이터를 전류 신호로 변환한다. 또한, 제1 내지 제5광학 드라이버들(168~176) 각각은 광 출력 조절부(166)에서 출력되는 광 출력 조절 신호에 응답하여 바이어스 전류 또는 변조 전류를 가변한다. 여기서, 제1 내지 제5광학 드라이버(168~176)가 광 출력 조절 신호에 응답하여 바이어스 전류를 가변할 것인가 또는 변조 전류를 가변할 것인가는 수신 장치(200, 도 2참조)로부터 전송되는 에러 검출 신호에 의해 결정된다. 또한, 제1 내지 제5광학 드라이버(168~176) 각각은 변환된 전류 신호와 바이어스 전류 및 변조 전류를 가산하고, 가산된 결과를 대응하는 송신용 광 다이오드들(180a~180e)을 구동하기 위한 구동 신호로서 출력한다.

<100> 송신용 광 다이오드들(180a~180e)은 제1 내지 제5광학 드라이버(168~176)에서 각각 출력되는 구동 신호에 상응하는 광 출력 세기를 갖는 광 신호를 발생한다.

<101> 이처럼, 송신용 광 다이오드들(180a~180e)을 구동하기 위한 구동 신호들은 수신 장치에서 검출된 에러 검출 신호에 상응하여 가변된다. 결국, 송신용 광 다이오드들(180a~180e)에서 출력되는 광 신호는 송신 장치에서 수신 장치로 전송되면서 발생하는 전송 에러가 보상된 광 신호이다.

<102> 한편, 도 2에서 제2광 전송로(195)를 전기적 전송로(193)로 대체할 경우, 에러 보상 광학 드라이버는 도 11에 도시된 에러 보상 광학 드라이버의 구성과 달라진다. 즉, 도 2에서 제2광 전송로(195)를 전기적 전송로(193)로 대체할 경우, 에러 보상 광학 드라이버에 광학 수신기(162)가 사용되지 않는다. 에러 보상 광학 드라이버는 전기적 전송로(193)로부터 전송되는 에러 검출 신호를 전송 에러 보상부(164)가 직접 수신하는 구성을 갖는다. 전송 에러 보상부(164)가 전기적 전송로(193)로부터 에러 검출 신호를

수신한 이 후, 전송 에러 보상부(164), 광 출력 파워 조절부(166) 및 제1 내지 제5광학 드라이버(168~176)의 동작은 도 11을 참조하여 기술된 바와 같다.

<103> 도 12는 도 11에 도시된 전송 에러 보상부(164)를 나타내는 블록도이다. 전송 에러 보상부(164)는 디코더(180) 및 디지털/아날로그 변환기(ADC, 182)를 포함하여 구성된다.

<104> 도 12를 참조하여, 디코더(180)는 광학 수신기(162, 도 11참조)에서 출력되는 에러 보상 신호를 제1동기된 클럭신호(PLL_CLK1)에 응답하여 디코딩한다. 디코딩된 결과는 각 채널 데이터가 전송되면서 발생하는 전송 에러 데이터로서, DAC(182)로 출력된다. 도 12에서, ERR_IN는 광학 수신기(162)에서 출력되는 에러 보상 신호를 나타낸다. 또한, R_ERR, G_ERR 및 B_ERR는 R/G/B 색 신호가 전송되는 채널에서 검출된 전송 에러 데이터를 각각 나타낸다. 또한, CON_ERR 및 CLK_ERR는 제어신호(CON) 및 클럭신호(CLK)가 전송되는 채널에서 검출된 전송 에러 데이터를 각각 나타낸다.

<105> DAC(182)는 디코더(180)에서 출력되는 전송 에러 데이터를 디지털/아날로그 변환하고, 아날로그 변환된 신호를 각 채널별 에러를 보상하기 위한 전송 에러 보상 신호들로서 각각 발생한다. 도 12에서, RLS_OUT, GLS_OUT 및 BLS_OUT은 R/G/B 색신호 각각의 전송 에러를 보상하기 위한 전송 에러 보상 신호를 나타낸다. 또한, CONLS_OUT 및 CLKLS_OUT은 제어신호(CON) 및 클럭신호(CLK)의 전송 에러를 보상하기 위한 전송 에러 보상 신호를 각각 나타낸다.

<106> 도 13은 도 2에 도시된 에러 검출 광학 수신기(210)를 나타내는 블록도이다. 에러 검출 광학 수신기(210)는 제1 내지 제5광학 수신기(212~220), 광학 구동부(224) 및 전송 에러 검출부(222)를 포함하여 구성된다. 또한, 도 13에는 설명의 편의를 위해, 수신용 광 다이오드들(187a~187e)과 송신용 광 다이오드(197)을 함께 도시한다.

- <107> 도 13을 참조하면, 수신용 광 다이오드들(187a~187e)은 광 신호로 변환된 채널 데이터들을 제1광 전송로(185, 도 2참조)를 통해 각각 수신한다. 또한, 수신용 광 다이오드들(187a~187e) 각각은 수신된 광 신호를 전류 신호로 변환하여 출력한다.
- <108> 제1 내지 제5광학 수신기들(212~220) 각각은 대응하는 수신용 광 다이오드들(187a~187e)로부터 수신되는 전류 신호들을 전압 신호로 변환하고, 변환된 각 전압 신호를 전송 에러 검출부(222)로 출력한다. 이 때, 제1 내지 제5광학 수신기들(212~220) 각각에서 출력되는 전압 신호는, 서로 반전된 위상을 갖는 전압 신호 쌍이다. 또한, 제1 내지 제5광학 수신기들(212~220) 각각은 변환된 전압 신호를 레벨 변환하여 디지털화된 신호를 복원된 직렬의 채널 데이터들 및 복원된 클럭신호로서 각각 출력한다. 도 13에서 R_REC, G_REC, B_REC 및 CON_REC은 복원된 직렬의 채널 데이터를 나타내고, CLK_REC는 복원된 클럭신호를 각각 나타낸다.
- <109> 전송 에러 검출부(222)는 제1 내지 제5광학 수신기들(212~220) 각각으로부터 변환된 전압 신호 쌍을 받아들이고, 전압 신호 쌍들을 이용하여 각 채널별 전송 에러를 검출한다. 여기서, 각 채널별 전송 에러를 구하는 데는 두 가지 방법이 이용될 수 있다. 전송 에러를 구하는 첫 번째 방법으로, 전송 에러 검출부(222)는 전압 신호 쌍들중 하나의 전압 신호를 선택하고, 선택된 전압 신호의 진폭을 검출함으로써, 전송 에러를 구할 수 있다. 예컨대, 광 전송 시스템이 일정한 전송 효율을 유지한다면, 제1 내지 제5광학 수신기들(212~220) 각각에서 변환된 전압 신호의 레벨은 소정의 기준 레벨을 유지할 것이다. 그러나, 제1광 전송로(185) 및 수신 장치(200)의 특성에 의해 전송 효율이 가변되어 전송 에러가 발생되면, 제1 내지 제5광학 수신기들(212~220)에서 변환된 전압 신호의 레벨은 제1소정의 기준 레벨을 벗어나게 된다. 이처럼, 전송 에러 검출부(222)는 변환된

전압 신호의 레벨을 검출하고, 검출된 전압 신호의 레벨을 소정의 제1기준 레벨과 비교함으로써, 전송 에러가 검출될 수 있다. 또한, 송신 장치(100, 도 2참조)는 검출된 전송 에러에 상응하여 변조 전류를 조절한다. 따라서, 수신 장치(200, 도 2참조)의 제1 내지 제5광학 수신기들(212~220)에서 변환된 전압 신호의 레벨이 제1소정의 기준레벨로 유지될 수 있다.

<110> 전송 에러를 구하는 두 번째 방법으로, 전압 신호 쌍 각각의 평균을 구하고 그 평균 레벨의 차를 이용하여 전송 에러를 구하는 방법이 있다. 전송 에러가 발생되지 않는 경우, 상기 평균 레벨의 차는 소정의 제2기준 레벨로 유지될 것이다. 그러나, 전송 에러가 발생되면, 상기 평균 레벨의 차는 제2기준 레벨을 벗어날 것이다. 이처럼, 전송 에러 검출부(222)는 전압 신호 쌍 각각의 평균 레벨의 차를 제2기준 레벨과 비교함으로써, 전송 에러를 검출할 수 있다. 또한, 송신 장치(200)는 검출된 전송 에러에 상응하여 바이어스 전류를 조절한다. 따라서, 수신 장치(200)의 제1 내지 제5광학 수신기들(212~220)에서 변환된 각 전압 신호 쌍의 평균 레벨의 차가 제2기준 레벨로 유지될 수 있다.

<111> 또한, 전송 에러 검출부(222)는 구해진 각 채널별 전송 에러를 제2동기된 클럭신호(CLK_OUT)에 응답하여 채널 정보와 전송 에러 정보를 갖는 전송 에러 데이터로서 인코딩하여 출력한다. 전송 에러 검출부(222)는 도 14 및 도 15를 참조하여 상세히 설명된다.

<112> 광학 구동부(224)는 전송 에러 검출부(222)로부터 출력되는 전송 에러 데이터를 수신하여 직류 신호로 변환하고, 변환된 직류 신호를 송신용 광 다이오드(197)를 구동하기 위한 구동 신호로서 출력한다.

- <113> 송신용 광 다이오드(197)는 광학 구동부(224)에 의해 변환된 직류 신호를 광 신호로 변환하고, 변환된 광 신호를 에러 검출 신호로서 출력한다.
- <114> 한편, 도 2에서 제2광 전송로(195)를 전기적 전송로(193)로 대체할 경우, 에러 검출 광학 수신기는 도 13에 도시된 에러 검출 광학 수신기의 구성과 달라진다. 즉, 도 2에서 제2광 전송로(195)를 전기적 전송로(193)로 대체할 경우, 에러 검출 광학 수신기에 광학 구동부(224)가 이용되지 않는다. 즉, 에러 검출 광학 수신기의 전송 에러 검출부(222)는 엔코딩된 데이터를 에러 검출 신호로서 출력하고, 에러 검출 신호는 전기적 전송로(193)를 통해 송신장치(100)로 전송되는 구성을 갖는다.
- <115> 도 14는 도 13에 도시된 전송 에러 검출부(222)의 일실시예를 나타내는 블록도이다. 전송 에러 검출부(222)는 진폭 검출 및 비교부(230), 아날로그/디지털 변환기(ADC, 232) 및 엔코더(234)를 포함하여 구성된다.
- <116> 도 14를 참조하여, 진폭 검출 및 비교부(230)는 제1 내지 제5광학 수신기들(212~220, 도 13참조) 각각에서 출력되는 각 전압 신호 쌍중 하나의 전압 신호를 선택하여 그의 진폭을 검출한다. 도 14에서, RVL_P/RVL_N, GVL_P/GVL_N, BVL_P/BVL_N 각각은 제1 내지 제3광학 수신기들(212~216) 각각에서 발생하는 전압 신호 쌍을 나타낸다. 또한, CONVL_P/CONVL_N 및 CLKVL_P/CLKVL_N은 제4 및 제5광학 수신기(218, 220) 각각에서 발생하는 전압 신호 쌍을 나타낸다. 또한, 진폭 검출 및 비교부(230)는 검출된 진폭과 제1 기준 전압(Vref1)을 비교하고, 비교된 결과를 검출된 전송 에러로서 ADC(232)로 출력한다.
- <117> ADC(232)는 진폭 검출 및 비교부(230)로부터 각 채널별 전송 에러를 받아들이고, 받아들인 채널별 전송 에러를 제2동기된 클럭신호(CLK_OUT)에 응답하여 각각 디지털 변

환하여 출력한다.

<118> 엔코더(234)는 제2동기된 클럭신호(CLK_OUT)에 응답하여 ADC(232)에서 채널별로 출력되는 디지털 신호들을 받아들여, 채널 정보와 에러 정보를 갖는 디지털 신호로 엔코딩한다. 또한, 엔코더(234)는 엔코딩된 데이터를 에러 검출 데이터로서 광학 구동부(224, 도 13참조)로 출력한다. 도 14에서, ERR_DT는 엔코더(234)에서 출력되는 에러 검출 데이터를 나타낸다.

<119> 도 15는 도 13에 도시된 전송 에러 검출부(222)의 다른 실시예를 나타내는 블록도이다. 전송 에러 검출부(222)는 제1 내지 제5차신호 검출 및 비교기(240~248), ADC(260) 및 엔코더(270)를 포함하여 구성된다.

<120> 도 15를 참조하면, 제1차신호 검출 및 비교기(240)는 제1광학 수신기(212, 도 13참조)에서 출력되는 전압 신호 쌍(RVL_P, RVL_N)을 받아들이고, 받아들인 전압 신호 쌍의 평균 레벨의 차를 구한다. 또한, 제1차신호 검출 및 비교기(240)는 상기 평균 레벨의 차를 제2기준 전압(Vref2)과 비교하고, 비교된 결과를 전송 에러로서 ADC(260)로 출력한다. 제2 내지 제5차신호 검출 및 비교기(242~248)들은 제1차신호 검출 및 비교기(240)와 동일한 동작을 수행하므로, 그 상세한 설명을 생략한다.

<121> ADC(260)는 제1 내지 제5차신호 검출 및 비교기들(240~248)에서 각각 출력되는 전송 에러를 받아들이고, 받아들인 전송 에러를 제2동기된 클럭신호(CLK_OUT)에 응답하여 각각 디지털 변환하여 출력한다.

<122> 엔코더(270)는 ADC(260)에서 채널별로 출력되는 디지털 신호들을 받아들이고, 이들을 제2동기된 클럭신호(CLK_OUT)에 응답하여 채널 정보와 에러 정보를 갖

는 디지털 신호로 엔코딩한다. 또한, 엔코더(234)는 엔코딩된 데이터를 에러 검출 데이터(ERR_DT)로서 광학 구동부(224, 도 13참조)로 출력한다.

<123> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

【발명의 효과】

<124> 본 발명에 따른 전송 에러를 보상하는 광 전송 시스템은, 수신 장치에서 전송 에러를 검출하여 송신 장치로 전송하며, 송신 장치는 수신 장치로부터 전송되는 전송 에러에 상응하여 광 출력 세기를 조정함으로써, 외부의 조정없이 항상 일정한 광 효율을 유지할 수 있으며, 따라서, 오차 허용 범위가 큰 규격의 소자를 이용할 수 있어 비용 절감의 효과가 있다. 또한, 병/직렬 데이터 변환기의 구성을 게이트로 구현하므로, 기가 Hz급 이상의 고속 데이터 변환이 가능하고, 회로의 크기를 줄일 수 있다. 또한, 기가 Hz급 이상의 고속 데이터 변환을 수행하면서도, 주파수는 상대적으로 낮은 논 오버랩핑 클럭 신호들을 이용하므로 전력 소비를 줄일 수 있다.

【특허청구범위】

【청구항 1】

외부에서 수신되는 다수개의 n비트 채널 데이터들을 소정의 클럭신호에 응답하여 각각 직렬 변환하고, 직렬 변환된 채널 데이터들 및 상기 소정의 클럭신호를 에러 검출 신호에 상응하여 가변되는 전류 신호로 각각 변환한 후, 상기 전류 신호의 크기에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 송신 장치;

상기 각 광 신호들을 전송하는 제1광 전송로;

상기 제1광 전송로에서 수신되는 광 신호들로부터 상기 n비트 채널 데이터 및 상기 소정의 클럭신호를 복원하고, 상기 각 광 신호들이 전송 및 수신되면서 발생하는 전송 에러를 검출하여 광 변환하여 상기 에러 검출 신호로서 출력하는 수신 장치; 및

광 변환된 상기 에러 검출 신호를 상기 송신 장치로 전송하는 제2광 전송로를 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 2】

제1항에 있어서, 상기 송신 장치는

외부에서 수신되는 상기 소정의 클럭신호에 동기되는 클럭신호를 제1동기된 클럭신호로서 발생시키고, 데이터 전송을 위한 실제의 클럭신호로서 상기 제1동기된 클럭신호를 출력하는 제1위상 동기 루프;

상기 제1동기된 클럭신호에 응답하여 외부에서 다수개의 n비트 채널 데이터들을 받아들이고, 상기 제1동기된 클럭신호에 응답하여 상기 n비트 채널 데이터들을 각각 직렬 변환하여 출력하는 병/직렬 데이터 변환부;

상기 제2광 전송로로부터 전송되는 에러 검출 신호를 전류 신호로 변환하여 출력하는 수신용 광 다이오드;

상기 병/직렬 데이터 변환부에서 직렬 변환된 채널 데이터들 및 상기 제1동기된 클럭신호를 전류 신호로 각각 변환하고, 변환된 각 전류 신호들의 크기를 상기 수신용 광 다이오드에서 변환된 전류 신호에 상응하여 가변하여 구동 신호들로서 출력하는 에러 보상 광학 드라이버; 및

상기 구동 신호들 각각에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 다수개의 송신용 광 다이오드들을 구비하는 것을 특징으로 하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 3】

제2항에 있어서, 상기 병/직렬 데이터 변환부는

상기 n비트 채널 데이터를 수신하고, 제1~제m래치 클럭신호들에 응답하여, N비트씩 분할 래치하는 데이터 래치부; 및

상기 데이터 래치부에서 래치되는 n비트 채널 데이터, 제1~제n는 오버랩핑 클럭 신호들 및 반전된 제1 ~ 제n는 오버랩핑 클럭 신호들을 논리 조합하고, 논리 조합된 결과를 상기 직렬의 채널 데이터로서 출력하는 데이터 직렬화기를 구비하고,

상기 제1~제n는 오버랩핑 클럭 신호들은 상기 위상 동기 루프에서 생성되어 서로가 겹치지 않도록 소정 오프셋을 갖는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 4】

제2항에 있어서, 상기 에러 보상 광학 드라이버는

상기 에러 검출 신호를 수신하여 전압 신호로 변환하고, 변환된 전압 신호를 레벨 변환하여 디지털화된 에러 보상 신호를 출력하는 광학 수신기;

상기 제1동기된 클럭신호에 응답하여, 상기 에러 보상 신호로부터 각 채널별 전송 에러 데이터를 복원하고, 복원된 전송 에러 데이터들을 각각 아날로그 변환하여 전송 에러 보상 신호들로서 발생하는 전송 에러 보상부;

상기 전송 에러 보상 신호들 각각에 응답하여 광 출력 조절 신호들을 발생하는 광 출력 조절부; 및

상기 직렬 변환된 채널 데이터들 및 상기 제1동기된 클럭신호를 전류 신호로 각각 변환하고, 변환된 각 전류 신호들의 크기를 대응하는 상기 광 출력 조절 신호들에 응답하여 각각 가변하여 상기 구동 신호들로서 출력하는 다수개의 광학 드라이버들을 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 5】

제1항에 있어서, 상기 수신 장치는

상기 제1광 전송로를 통해 전송되는 광 신호들을 각각 수신하여 전류 신호로 변환하는 다수개의 수신용 광 다이오드들;

상기 다수개의 수신용 광 다이오드들에서 변환된 각 전류 신호들을 전압 신호들로 변환 후, 디지털 변환하여 복원된 직렬의 채널 데이터들 및 복원된 클럭신호로서 출력하고, 상기 전압 신호들로부터 채널별 전송 에러를 검출 후, 엔코딩 및 전류 변환하여 출

력하는 에러 검출 광학 수신기;

상기 복원된 클럭신호에 동기되는 제2동기된 클럭신호를 발생시키고, 데이터 수신을 위한 실제의 클럭신호로서 상기 제2동기된 클럭신호를 출력하는 제2위상 동기 루프;

상기 복원된 직렬의 채널 데이터들을 상기 제2동기된 클럭신호에 응답하여 n비트의 병렬 데이터로 복원하는 데이터 복원부; 및

상기 에러 보상 광학 수신기로부터 엔코딩 및 전류 변환된 신호를 광 신호로 변환하는 송신용 광 다이오드를 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 6】

제5항에 있어서, 상기 에러 검출 광학 수신기는

상기 다수개의 수신용 광 다이오드들에서 변환된 각 전류 신호들을 전압 신호들로 변환하여 출력하고, 상기 전압 신호들을 디지털 변환하여 상기 복원된 직렬의 채널 데이터들 및 상기 복원된 클럭신호로서 출력하는 다수개의 광학 수신기들;

상기 전압 신호들로부터 각 채널별 전송 에러를 검출하고, 각 채널별로 검출된 전송 에러를 상기 제2동기된 클럭신호에 응답하여 엔코딩하여 상기 전송 에러 데이터로서 출력하는 전송 에러 검출부; 및

상기 전송 에러 데이터를 수신하여 직류 신호로 변환하고, 변환된 직류 신호를 상기 송신용 광 다이오드로 출력하는 광학 구동부를 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 7】

외부에서 수신되는 다수개의 n비트 채널 데이터들을 소정의 클럭신호에 응답하여 각각 직렬 변환하고, 직렬 변환된 채널 데이터들 및 상기 소정의 클럭신호를 에러 검출 신호에 상응하여 가변되는 전류 신호로 각각 변환한 후, 상기 전류 신호의 크기에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 송신 장치;

상기 각 광 신호들을 전송하는 광 전송로;

상기 광 전송로에서 수신되는 광 신호들로부터 상기 n비트 채널 데이터 및 상기 소정의 클럭신호를 복원하고, 상기 각 광 신호들이 전송 및 수신되면서 발생하는 전송 에러를 상기 에러 검출 신호로서 출력하는 수신 장치; 및

상기 에러 검출 신호를 상기 송신 장치로 전송하는 전기적 전송로를 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 8】

제7항에 있어서, 상기 송신 장치는

외부에서 수신되는 상기 소정의 클럭신호에 동기되는 클럭신호를 제1동기된 클럭 신호로서 발생시키고, 데이터 전송을 위한 실제의 클럭신호로서 상기 제1동기된 클럭신호를 출력하는 제1위상 동기 루프;

상기 제1동기된 클럭신호에 응답하여 외부에서 다수개의 n비트 채널 데이터들을 받아들이고, 상기 제1동기된 클럭신호에 응답하여 상기 n비트 채널 데이터들을 각각 직렬 변환하여 출력하는 병/직렬 데이터 변환부;

상기 병/직렬 데이터 변환부에서 직렬 변환된 채널 데이터들 및 상기 제1동기된

클럭신호를 전류 신호로 각각 변환하고, 변환된 각 전류 신호들의 크기를 상기 전기적 전송로로부터 전송되는 상기 에러 검출 신호에 상응하여 각각 가변하여 구동 신호들로서 출력하는 에러 보상 광학 드라이버; 및

상기 구동 신호들 각각에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 다수개의 송신용 광 다이오드들을 구비하는 것을 특징으로 하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 9】

제8항에 있어서, 상기 에러 보상 광학 드라이버는

상기 제1동기된 클럭신호에 응답하여 상기 에러 검출 신호로부터 각 채널별 전송 에러 데이터를 복원하고, 복원된 전송 에러 데이터들을 각각 아날로그 변환하여 전송 에러 보상 신호들로서 발생하는 전송 에러 보상부;

상기 전송 에러 보상 신호들 각각에 응답하여 광 출력 조절 신호들을 발생하는 광 출력 조절부; 및

상기 직렬 변환된 채널 데이터들 및 상기 제1동기된 클럭신호를 전류 신호로 각각 변환하고, 변환된 각 전류 신호들의 크기를 대응하는 상기 광 출력 조절 신호들에 응답하여 각각 가변하여 상기 구동 신호들로서 출력하는 다수개의 광학 드라이버들을 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 10】

제7항에 있어서, 상기 수신 장치는

상기 광 전송로를 통해 전송되는 광 신호들을 각각 수신하여 전류 신호로 변환하는 다수개의 수신용 광 다이오드들;

상기 다수개의 수신용 광 다이오드들에서 변환된 각 전류 신호들을 전압 신호들로 변환 후, 디지털 변환하여 복원된 직렬의 채널 데이터들 및 복원된 클럭신호로서 출력하고, 상기 변환된 전압 신호들로부터 채널별 전송 에러를 검출 후, 엔코딩하여 상기 에러 검출 신호로서 출력하는 에러 검출 광학 수신기;

상기 복원된 클럭신호에 동기되는 제2동기된 클럭신호를 발생시키고, 데이터 수신을 위한 실제의 클럭신호로서 상기 제2동기된 클럭신호를 출력하는 제2위상 동기 루프; 및

상기 복원된 직렬의 채널 데이터들을 상기 제2동기된 클럭신호에 응답하여 n비트의 병렬 데이터로 복원하는 데이터 복원부를 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 11】

제5항에 있어서, 상기 에러 검출 광학 수신기는

상기 다수개의 수신용 광 다이오드들에서 변환된 전류 신호들을 전압 신호들로 각각 변환하여 출력하고, 상기 각 전압 신호들을 디지털 변환하여 상기 복원된 직렬의 채널 데이터들 및 상기 복원된 클럭신호로서 출력하는 다수개의 광학 수신기들; 및

상기 전압 신호들로부터 각 채널별 전송 에러를 검출하고, 각 채널별로 검출된 전송 에러를 상기 제2동기된 클럭신호에 응답하여 엔코딩하여 상기 전송 에러 데이터로서

출력하는 전송 에러 검출부를 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 12】

외부의 수신 장치로부터 검출되는 전송 에러를 제1광 전송로를 통하여 수신하고, 다수개의 채널 데이터들을 제2광 전송로를 통하여 상기 수신 장치로 전송하기 위한 송신 장치에 있어서,

외부에서 수신되는 소정의 클럭신호에 동기되는 클럭신호를 발생시키고, 데이터 전송을 위한 실제의 클럭신호로서 상기 동기된 클럭신호를 출력하는 위상 동기 루프;

상기 동기된 클럭신호에 응답하여 외부에서 다수개의 n비트 채널 데이터들을 받아들이고, 상기 동기된 클럭신호에 응답하여 상기 n비트 채널 데이터들을 각각 직렬 변환하여 출력하는 병/직렬 데이터 변환부;

상기 제1광 전송로로부터 전송되는 에러 검출 신호를 전류 신호로 변환하여 출력하는 수신용 광 다이오드;

상기 병/직렬 데이터 변환부에서 직렬 변환된 채널 데이터들 및 상기 동기된 클럭신호를 전류 신호로 각각 변환하고, 변환된 각 전류 신호들의 크기를 상기 수신용 광 다이오드에서 변환된 전류 신호에 상응하여 가변하여 구동 신호들로서 출력하는 에러 보상 광학 드라이버; 및

상기 구동 신호들 각각에 상응하는 광 출력 세기를 갖는 광 신호들을 출력하는 다수개의 송신용 광 다이오드들을 구비하는 것을 특징으로 하는 것을 특징으로 하는 송신 장치.

【청구항 13】

제12항에 있어서, 상기 에러 보상 광학 드라이버는

상기 에러 검출 신호를 수신하여 전압 신호로 변환하고, 변환된 전압 신호를 레벨 변환하여 디지털화된 에러 보상 신호를 출력하는 광학 수신기;

상기 동기된 클럭신호에 응답하여, 상기 에러 보상 신호로부터 각 채널별 전송 에러 데이터를 복원하고, 복원된 전송 에러 데이터들을 각각 아날로그 변환하여 전송 에러 보상 신호들로서 발생하는 전송 에러 보상부;

상기 전송 에러 보상 신호들 각각에 응답하여 광 출력 조절 신호들을 발생하는 광 출력 조절부; 및

상기 직렬 변환된 채널 데이터들 및 상기 동기된 클럭신호를 전류 신호로 각각 변환하고, 변환된 각 전류 신호들의 크기를 대응하는 상기 광 출력 조절 신호들에 응답하여 각각 가변하여 상기 구동 신호들로서 출력하는 다수개의 광학 드라이버들을 구비하는 것을 특징으로 하는 전송 에러를 보상하는 광 전송 시스템.

【청구항 14】

제13항에 있어서, 상기 광 출력 조절부는 상기 각 전송 에러 보상 신호들에 응답하여 상기 구동 신호들의 변조 전류를 각각 가변시키도록 상기 광 출력 조절 신호들을 발생하는 것을 특징으로 하는 송신 장치.

【청구항 15】

제13항에 있어서, 상기 광 출력 조절부는 상기 각 전송 에러 보상 신호들에 응답하

여 상기 구동 신호들의 바이어스 전류를 각각 가변시키도록 상기 광 출력 조절 신호들을 발생하는 것을 특징으로 하는 송신 장치.

【청구항 16】

제13항에 있어서, 상기 전송 에러 보상부는

상기 에러 보상 신호를 상기 동기된 클럭신호에 응답하여 디코딩하고, 디코딩된 결과를 각 채널별 전송 에러 데이터로서 출력하는 디코더; 및

상기 각 채널별 전송 에러 데이터를 수신하여 아날로그 변환하고, 변환된 아날로그 신호를 각 채널의 전송 에러를 보상하는 전송 에러 보상 신호들로서 각각 발생하는 아날로그/디지털 변환기를 구비하는 것을 특징으로 하는 송신 장치.

【청구항 17】

외부의 송신 장치로부터 전송되는 채널 데이터들을 광 전송로를 통하여 수신하고, 수신된 광 신호로부터 상기 채널 데이터들을 복원하는 수신 장치에 있어서,

외부로부터 수신되는 광 신호들을 각각 수신하여 전류 신호로 변환하는 다수개의 수신용 광 다이오드들;

상기 다수개의 수신용 광 다이오드들에서 변환된 각 전류 신호들을 전압 신호들로 변환 후, 디지털 변환하여 복원된 직렬의 채널 데이터들 및 복원된 클럭신호로서 출력하고, 상기 전압 신호들로부터 채널별 전송 에러를 검출 후, 엔코딩 및 전류 변환하여 출력하는 에러 검출 광학 수신기;

상기 복원된 클럭신호에 동기되는 동기된 클럭신호를 발생시키고, 데이터 수신을 위한 실제의 클럭신호로서 상기 동기된 클럭신호를 출력하는 위상 동기 루프;

상기 복원된 직렬의 채널 데이터들을 상기 동기된 클럭신호에 응답하여 n비트의 병렬 데이터로 복원하는 데이터 복원부; 및

상기 에러 보상 광학 수신기로부터 엔코딩 및 전류 변환된 신호를 광 신호로 변환하는 송신용 광 다이오드를 구비하는 것을 특징으로 하는 수신 장치.

【청구항 18】

제17항에 있어서, 상기 에러 검출 광학 수신기는

상기 다수개의 수신용 광 다이오드들에서 변환된 전류 신호들을 전압 신호들로 각각 변환한 후, 디지털 변환하여 상기 복원된 직렬의 채널 데이터들 및 상기 복원된 클럭 신호로서 출력하는 다수개의 광학 수신기들;

상기 전압 신호들로부터 각 채널별 전송 에러를 검출한 후, 상기 동기된 클럭신호에 응답하여 엔코딩하여 상기 전송 에러 데이터로서 출력하는 전송 에러 검출부; 및

상기 전송 에러 데이터를 수신하여 직류 신호로 변환하고, 변환된 직류 신호를 상기 송신용 광 다이오드로 출력하는 광학 구동부를 구비하고,

상기 각 변환된 전압 신호는 서로 반전된 위상을 갖는 전압 신호 쌍으로 이루어지는 것을 특징으로 하는 수신 장치.

【청구항 19】

제18항에 있어서, 상기 전송 에러 검출부는

상기 다수개의 광학 수신기들로부터 출력되는 상기 각 전압 신호 쌍중 하나의 전압 신호를 선택하여 진폭을 검출하고, 검출된 진폭과 제1소정의 기준 전압을 비교하여 각 채널별 전송 에러를 구하는 진폭 검출 및 비교부;

상기 동기된 클럭 신호에 응답하여 상기 진폭 검출 및 비교부로부터 출력되는 각 채널별 전송 에러를 디지털 변환하는 제1아날로그/디지털 변환기; 및

상기 동기된 클럭신호에 응답하여, 상기 제1아날로그/디지털 변환기에서 채널별로 출력되는 디지털 신호들을 엔코딩하여 손실 검출 데이터로서 출력하는 엔코더를 구비하는 것을 특징으로 하는 수신 장치.

【청구항 20】

제18항에 있어서, 상기 전송 에러 검출부는

상기 다수개의 광학 수신기들로부터 상기 전압 신호 쌍을 수신하여 각각의 평균 레벨의 차를 구하고, 상기 평균 레벨의 차와 제2소정의 기준 전압을 비교하여 각 채널별 전송 에러를 구하는 다수개의 차신호 검출 및 비교부;

상기 동기된 클럭 신호에 응답하여 상기 다수개의 차신호 검출 및 비교부로부터 출력되는 각 채널별 전송 에러를 디지털 변환하는 제2아날로그/디지털 변환기; 및

상기 동기된 클럭신호에 응답하여 상기 제2아날로그/디지털 변환기에서 채널별로 출력되는 디지털 신호들을 엔코딩하고, 엔코딩된 데이터를 손실 검출 데이터로서 출력하는 엔코더를 구비하는 것을 특징으로 하는 수신 장치.

【청구항 21】

서로 겹치지 않도록 소정 오프셋을 갖는 제1~제n는 오버래핑 클럭신호들과, 상기 제1~제n는 오버래핑 클럭신호들을 각각 반전하여 반전된 제1~제n는 오버래핑 클럭신호들을 발생하는 위상 동기 루프를 구비하고, 외부로부터 입력되는 n비트의 채널 데이터들을 상기 제1~제n는 오버래핑 클럭신호들에 응답하여 직렬의 정보 데이터로 각각 변환하여

전송하는 송신 장치의 병/직렬 데이터 변환 회로에 있어서,

상기 n비트 채널 데이터를 수신하고, 제1~제m래치 클럭신호들에 응답하여, 수신된 상기 n비트 채널 데이터를 N비트씩 분할 래치하는 데이터 래치부; 및

상기 데이터 래치부에서 래치되는 n비트 채널 데이터, 상기 제1~제n논 오버랩핑 클럭 신호들 및 상기 반전된 제1~제n논 오버랩핑 클럭신호들을 논리 조합하고, 논리 조합된 결과를 직렬의 채널 데이터로서 출력하는 데이터 직렬화기를 구비하는 것을 특징으로 하는 전송 에러를 보상하는 병/직렬 데이터 변환 회로.

【청구항 22】

제21항에 있어서, 상기 소정 오프셋은 상기 직렬 정보 데이터의 단위 비트의 폭에 해당하는 것을 특징으로 하는 병/직렬 데이터 변환 회로.

【청구항 23】

제21항에 있어서, 상기 제1~제m래치 클럭신호들은 상기 제1~제n논 오버랩핑 클럭신호중 N단위 비트만큼씩의 타이밍 마진을 가지며, 상기 제1래치 클럭신호는 상기 제1논 오버랩핑 클럭신호와 타이밍 마진이 가장 큰 논 오버랩핑 클럭신호인 것을 특징으로 하는 병/직렬 데이터 변환 회로.

【청구항 24】

제21항에 있어서, 상기 데이터 직렬화부는

상기 n비트 채널 데이터의 각 비트에 대응되고, 상기 제1~제n논 오버랩핑 클럭신호들 각각에 대응되고, 상기 반전된 제2~제1논 오버랩핑 클럭신호들 각각에 대응되며, 대응되는 상기 n비트 채널 데이터의 각 비트와, 상기 논 오버랩핑 클럭신호 및 상기 반

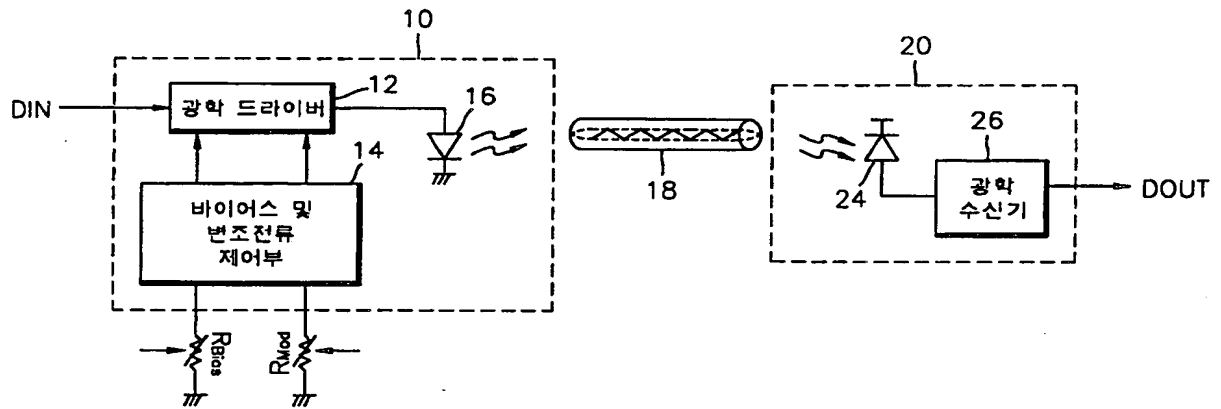
전된 논 오버래핑 클럭신호를 반전 논리곱하는 n 개의 반전 논리곱 수단으로 구현되는 제1논리 조합부;

상기 n 개의 반전 논리곱 수단의 출력 데이터를 p 개의 그룹으로 분할 하고, 분할된 데이터를 반전 논리곱하는 p 개의 반전 논리곱 수단으로 구현되는 제2논리 조합부; 및

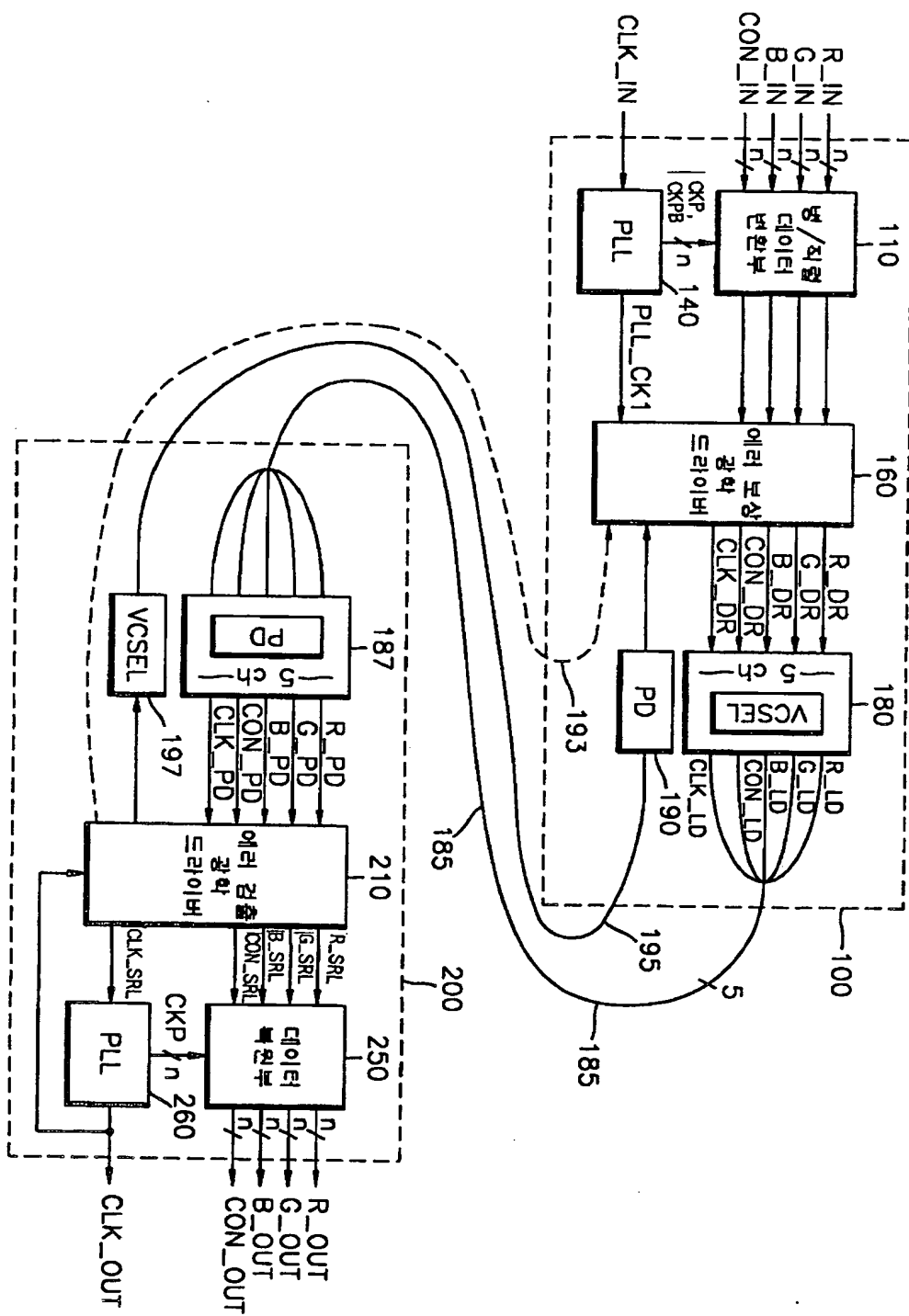
상기 제2논리 조합부의 출력 데이터를 논리합하는 논리합 수단을 구비하는 것을 특징으로 하는 병/직렬 데이터 변환 회로.

【도면】

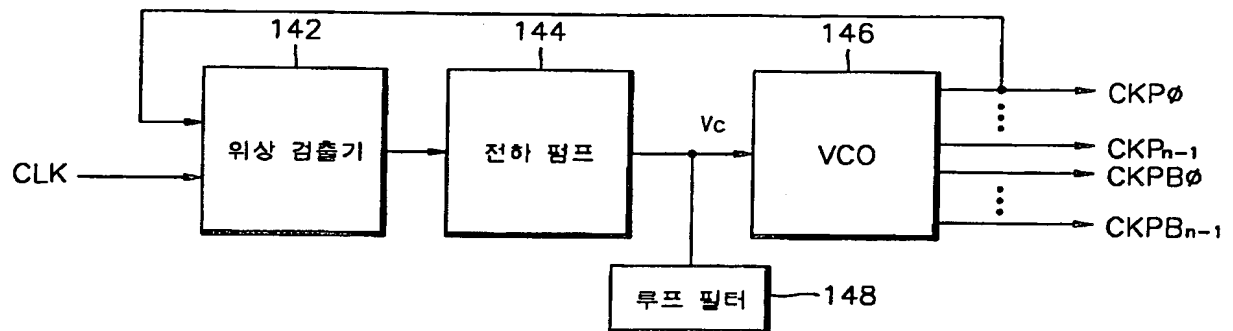
【도 1】



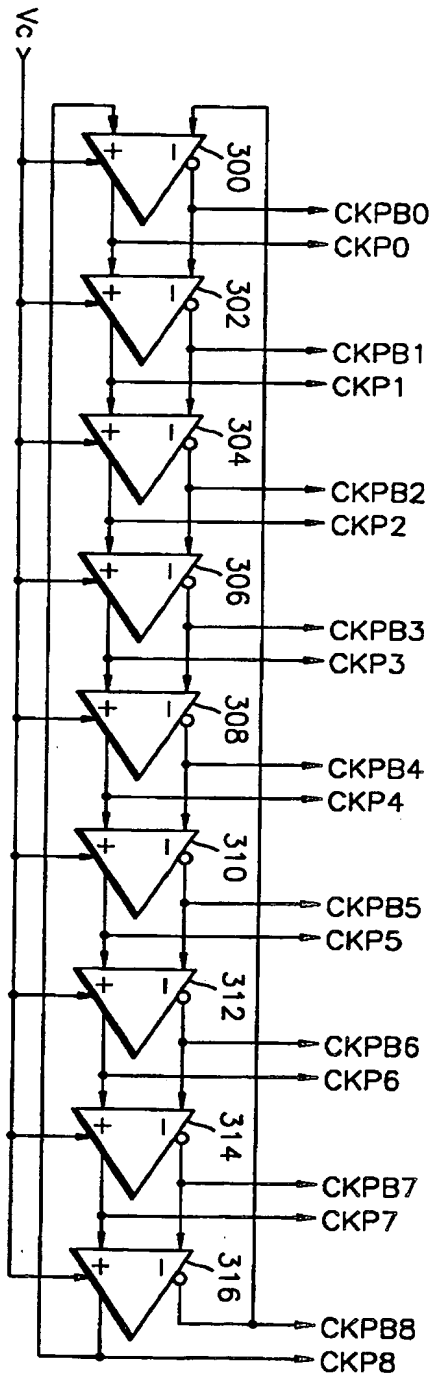
【도 2】



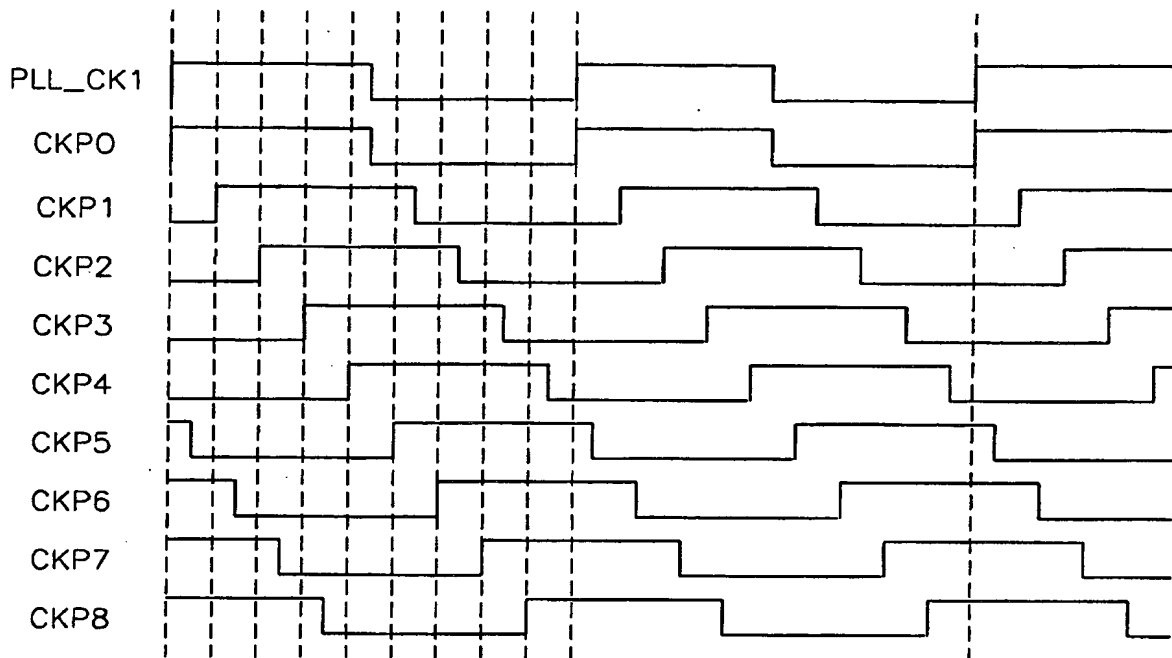
【도 3】



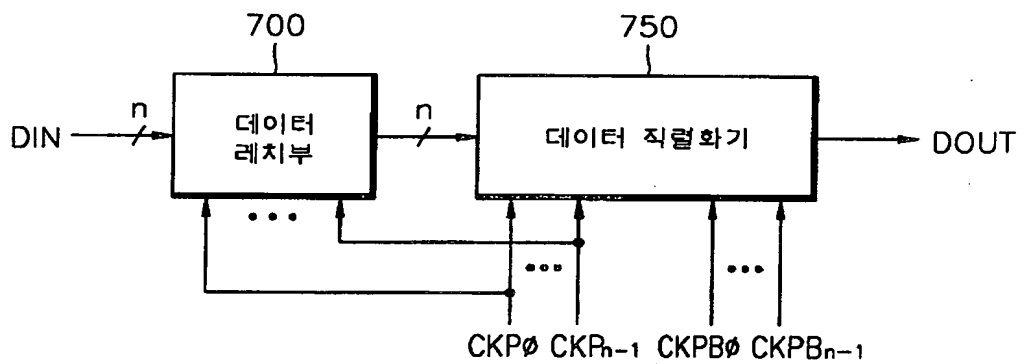
【도 4】



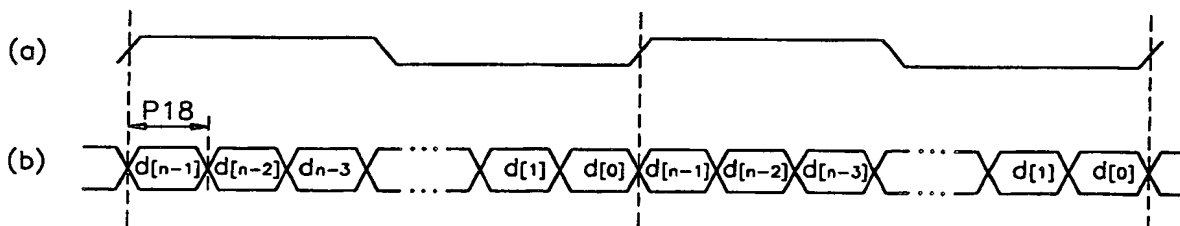
【도 5】



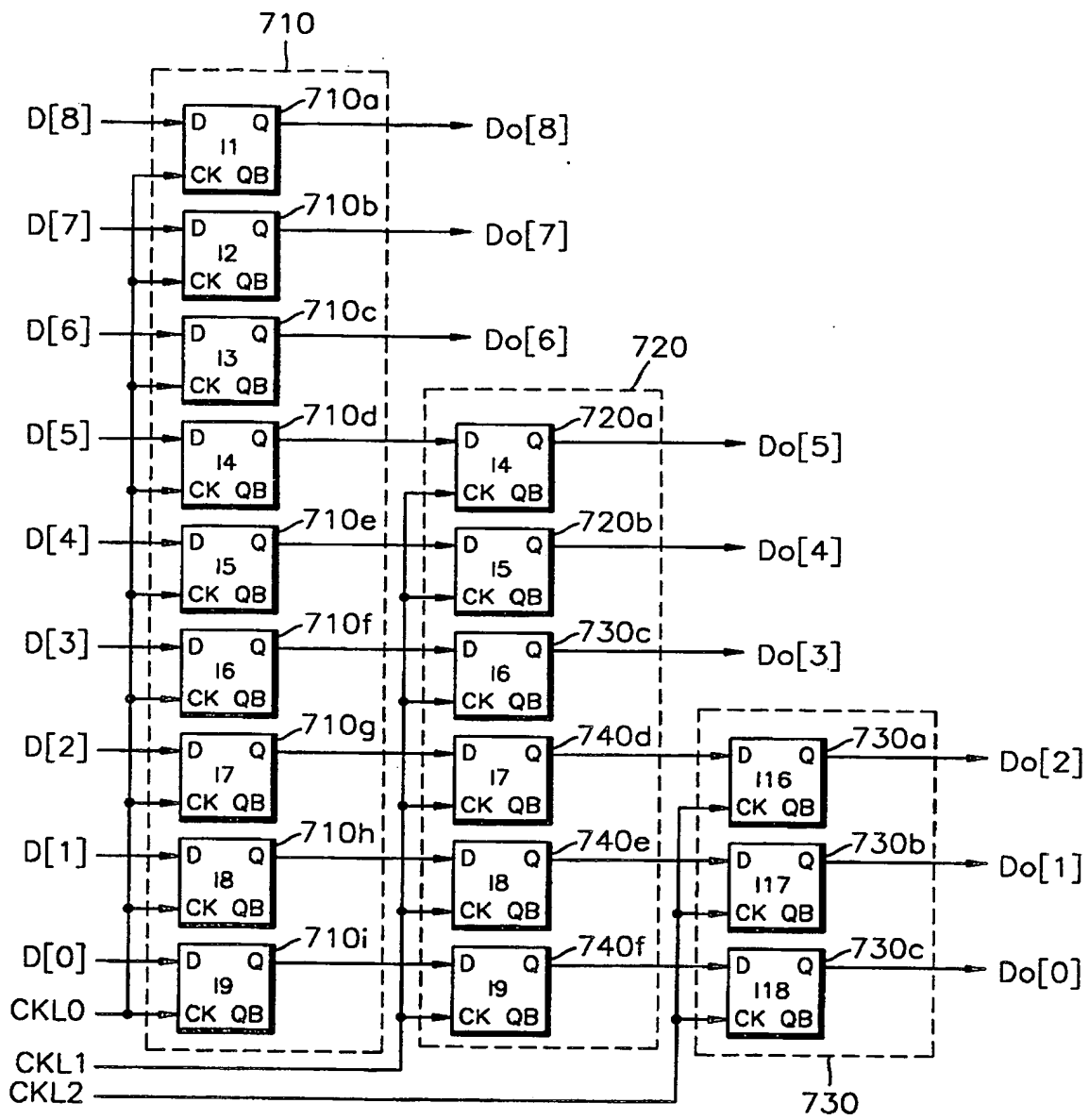
【도 6】



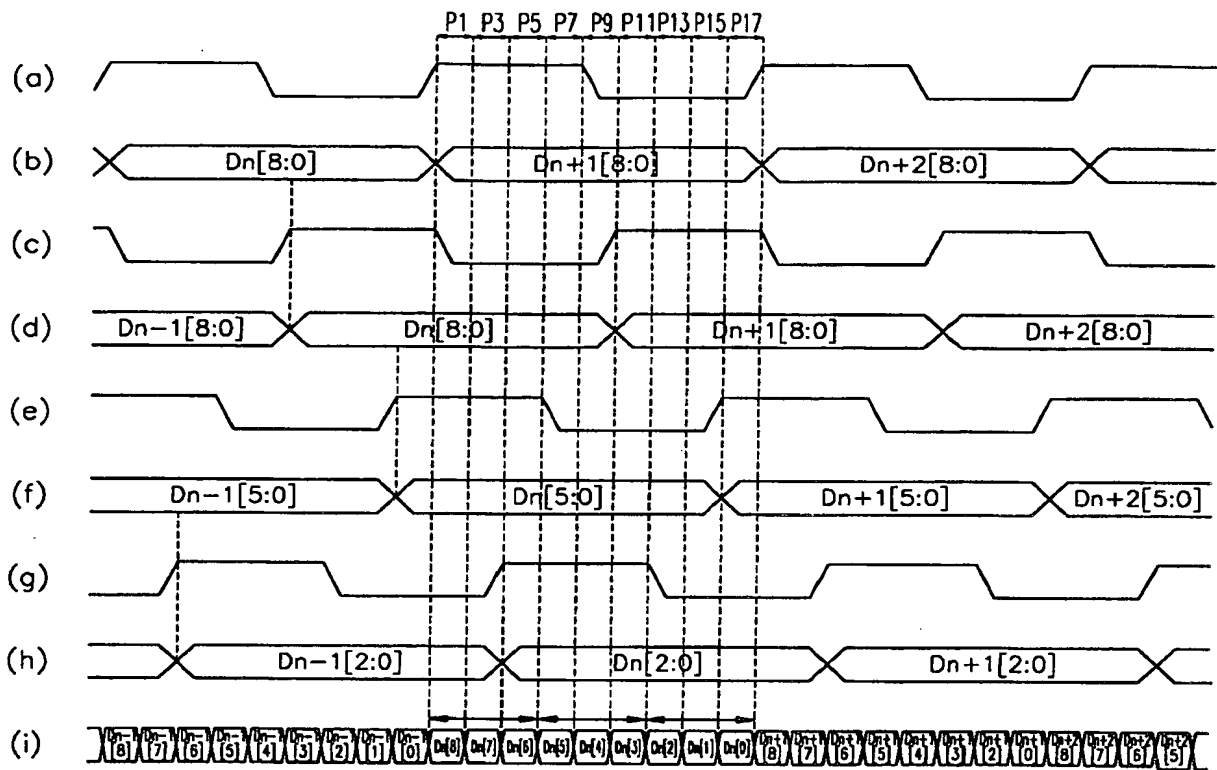
【도 7】



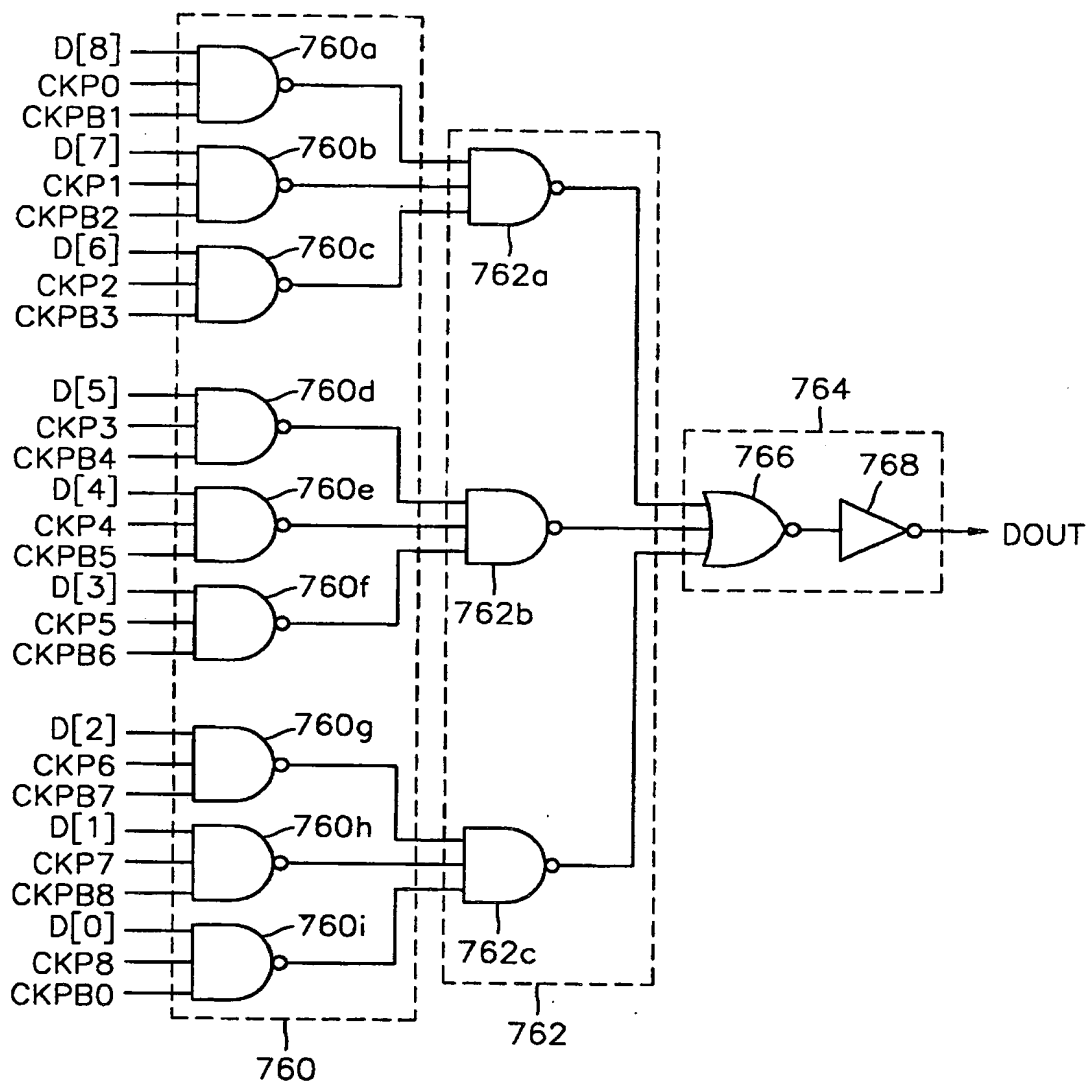
【도 8】



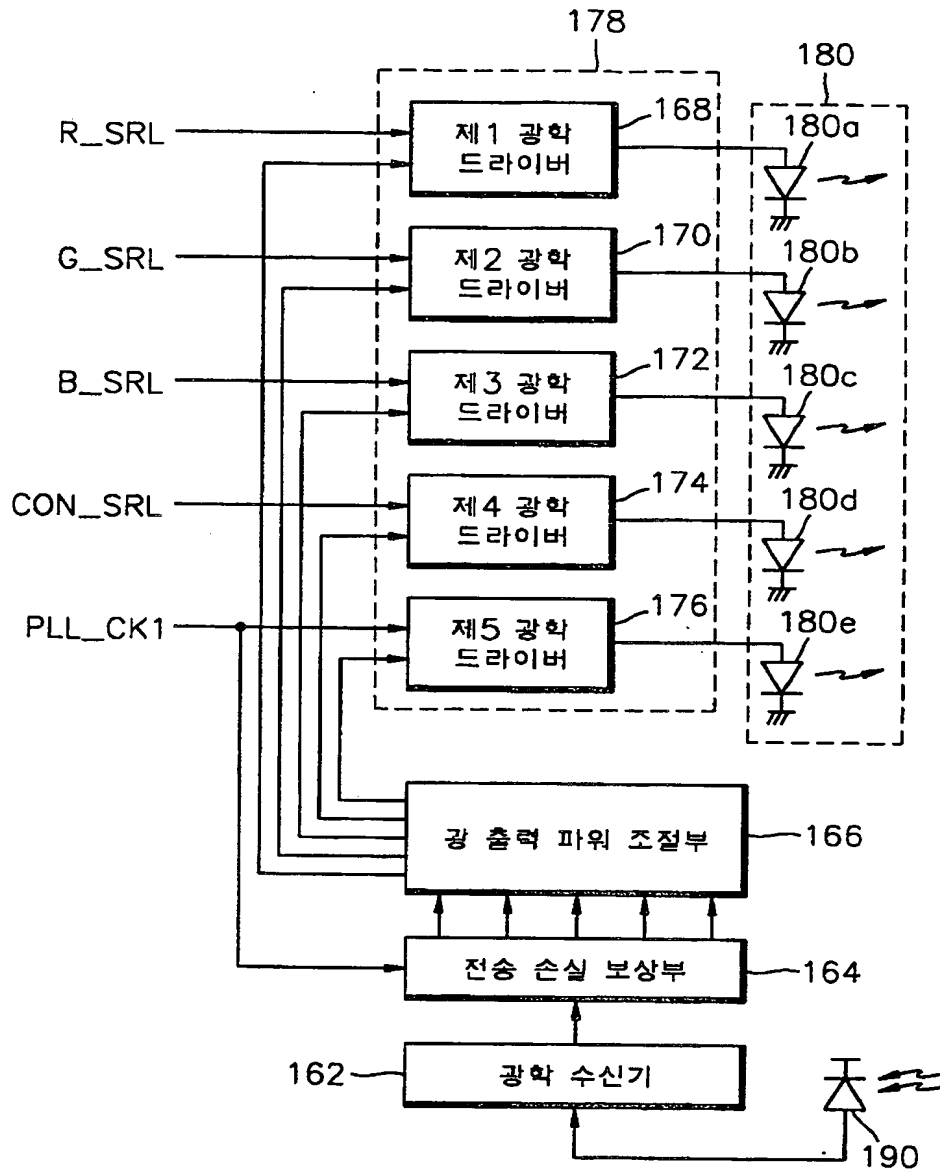
【도 9】



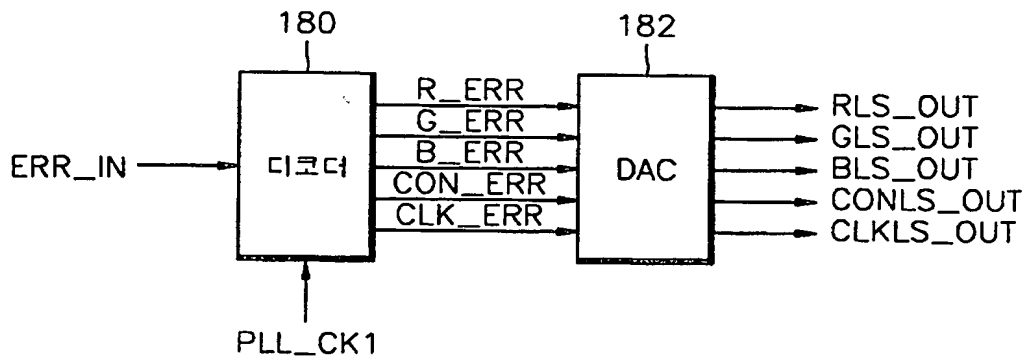
【도 10】



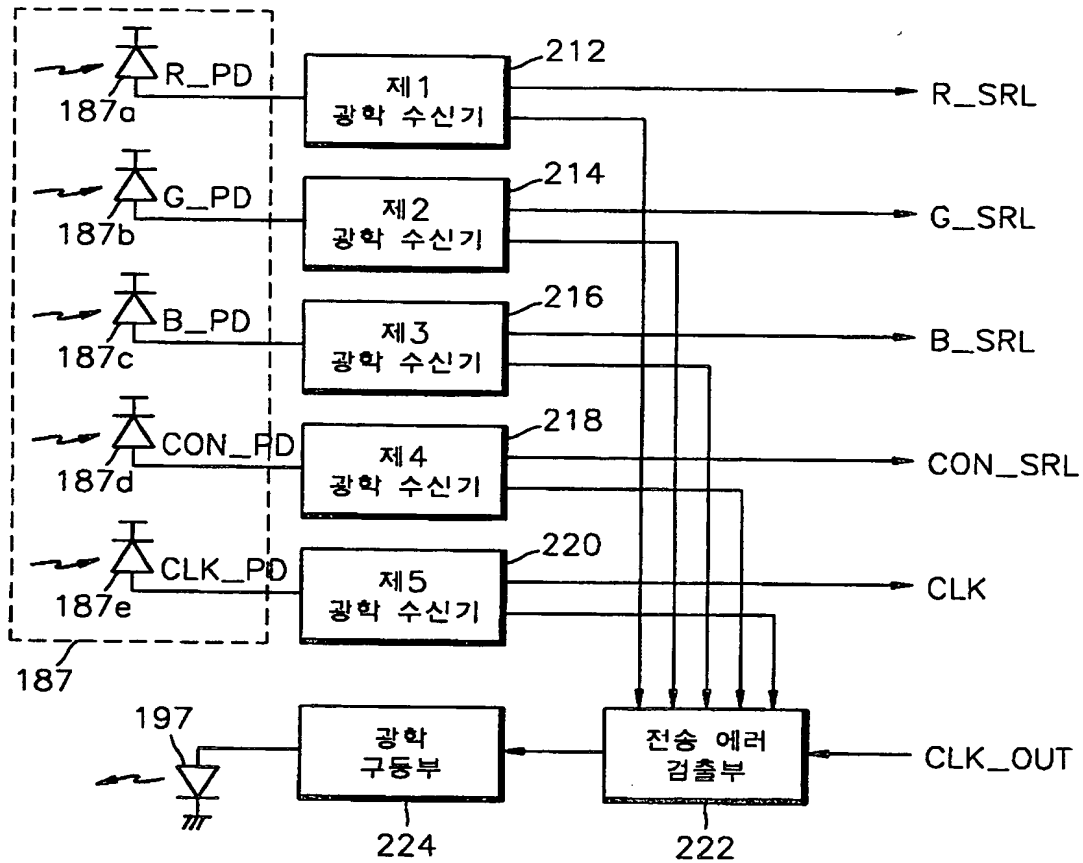
【도 11】



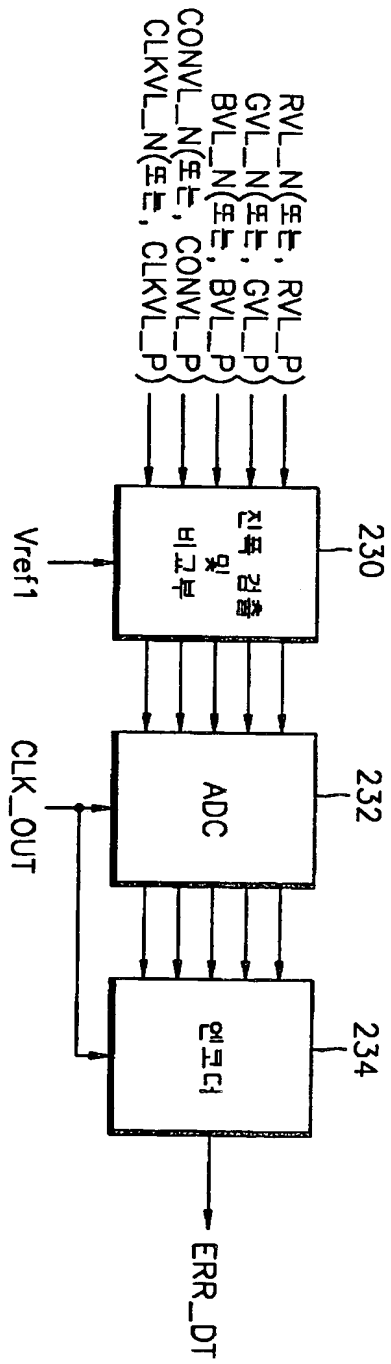
【도 12】



【도 13】



【도 14】



【도 15】

